

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-006606

(43)Date of publication of application : 14.01.1994

(51)Int.Cl.

H04N 1/40

(21)Application number : 04-184475

(71)Applicant : DAINIPPON SCREEN MFG CO  
LTD

(22)Date of filing : 17.06.1992

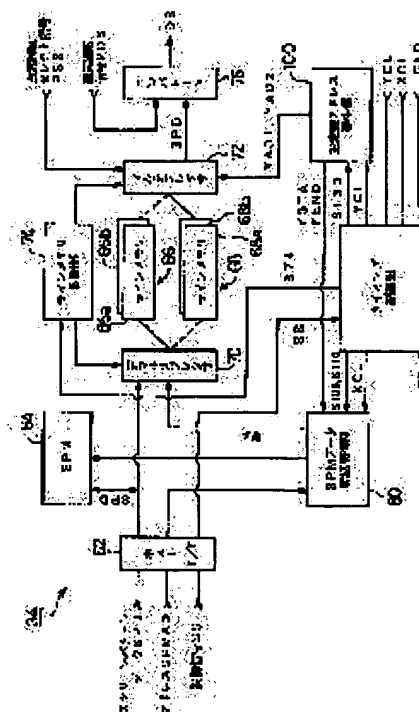
(72)Inventor : HEIWA TAKAHIDE  
YOSHIOKA MASAKI  
FURUSAWA KATSUHIKO

(54) DOT SIGNAL GENERATOR

**(57)Abstract:**

**PURPOSE:** To provide the dot signal generator implementing half tone screen processing at a high speed without use of a fast memory for a screen pattern memory (SPM).

CONSTITUTION: Screen pattern data stored in the SPM 64 are transferred alternately to line memories 66, 68 by one repetitive period each of the screen pattern. In parallel therewith, data stored in the line memories 66, 68 are read alternately and given to a comparator 76 and compared with a picture element density signal PDS and a dot signal DS is generated. Comparatively high speed memories are employed for the line memories 66, 68, then high speed half-tone screen processing is implemented. Furthermore, two kinds of dot screen pattern data are stored in the line memories 66, 68 and either of the data is selected in response to a picture element pattern type select signal PSS to execute the half tone screen processing while selecting either of the two kinds of screen patterns for each picture element.



CLAIMS

---

[Claim(s)]

[Claim 1] Half-tone-dot signal generation equipment which is characterized by providing the following and which generates a half-tone-dot signal according to the given picture signal. Screen pattern memory which memorizes the threshold arranged by each coordinate position in the repeat block repeatedly applied in the main scanning direction and the direction of vertical scanning of [ on a two-dimensional coordinate plane ]. It consists of memory which has the read-out speed more than the aforementioned screen pattern memory, and they are two or more line memory of the capacity which memorizes the aforementioned threshold for 1 repeat period at least, respectively of the main scanning direction of the aforementioned repeat block. Transfer control means which transmit the threshold for the 1 aforementioned repeat period to one of two or more of the aforementioned line memory from the aforementioned screen pattern memory according to the given vertical-scanning clock from the outside. The read-out control means which read the threshold for the 1 aforementioned repeat period from other one of two or more of the aforementioned line memory from the exterior according to the given horizontal-scanning clock, By comparing the threshold and picture signal which were read by the aforementioned read-out control means While choosing one of two or more of the aforementioned line memory and connecting with the aforementioned screen pattern memory according to the comparator which creates the half-tone-dot signal made binary, and the aforementioned vertical-scanning clock Line memory means for switching which choose other one of two or more of the aforementioned line memory, and are connected to the aforementioned comparator.

[Claim 2] It is half-tone-dot signal generation equipment according to claim 1. screen pattern memory The threshold about two or more kinds of half tone dots is memorized, respectively. each of two or more line memory Two or more line memory elements which responded to the number of kinds of a half tone dot are included. transfer control means As opposed to two or more aforementioned line memory elements contained in the line memory connected to the aforementioned screen pattern memory by line memory means for switching While transmitting the threshold for the 1 aforementioned repeat period of two or more aforementioned kinds of half tone dots, respectively, read-out control means Half-tone-dot signal generation equipment which chooses one line memory element according to the half-tone-dot kind selection signal given from the outside, and performs read-out by the aforementioned line memory means for switching in two or more aforementioned line memory elements contained in the line memory connected to the aforementioned comparator.

---

[Translation done.]

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is used in the image processing system for printing platemaking etc., and relates to the half-tone-dot signal generation equipment which generates a half-tone-dot signal by carrying out setting-a-net processing to a picture signal.

[0002]

[Description of the Prior Art] In case a picture is reproduced based on a picture signal, setting-a-net processing which creates a half-tone-dot signal as compared with a predetermined threshold is performed in a picture signal. This threshold is called screen pattern data and 1 set of screen pattern data have the composition with which the threshold was arranged by each pixel within the pixel block of a predetermined configuration. In setting-a-net processing, the threshold of each pixel is compared with the level of a picture signal, and the half-tone-dot signal made binary according to the size of the level of a picture signal and a threshold is created.

[0003] Conventionally, screen pattern data are memorized in the memory of the exclusive use called screen pattern memory (SPM), the threshold was read from SPM for every pixel synchronizing with the horizontal-scanning clock, and this was compared with the picture signal.

[0004]

[Problem(s) to be Solved by the Invention] By the way, the performance of an output device improves and the request of wanting to perform setting-a-net processing at high speed by the high resolution more has become strong in recent years. In order to raise resolution (the number of pixels per unit length) and to obtain the same processing speed, it is necessary to raise a clock frequency and to also make the speed of response of SPM high-speed in connection with this. Moreover, if it high-resolution-izes, the pixel block over 1 set of screen pattern data will become large, and the capacity of SPM will also increase. Therefore, in order to perform setting-a-net processing more at high speed at a high resolution, there is a problem that high-speed SPM is needed with large capacity.

[0005] This invention is made in order to solve the above-mentioned technical problem in the conventional technology, it does not need to use memory mass at high speed as screen pattern memory, and aims at offering the half-tone-dot signal generation equipment which can perform setting-a-net processing at high speed.

[0006]

[Means for Solving the Problem] In order to solve an above-mentioned technical problem, the half-tone-dot signal generation equipment by this invention The screen pattern memory which memorizes the threshold arranged by each coordinate position in the repeat block repeatedly applied in the main scanning direction and the direction of vertical scanning of [ on a two-dimensional coordinate plane ], It consists of memory which has the read-out speed more than the aforementioned screen pattern memory. Two or more line memory of the capacity which memorizes the aforementioned threshold for 1 repeat period at least, respectively of the main scanning direction of the aforementioned repeat block, The transfer control means which transmit the threshold for the 1 aforementioned repeat period to one of two or more of the aforementioned line memory from the aforementioned screen pattern memory according to the given vertical-scanning clock from the outside, The read-out control means which read the threshold for the 1 aforementioned repeat period from other one of two or more of the aforementioned line memory from the exterior according to the given horizontal-scanning clock, By comparing the threshold and picture signal which were read by the aforementioned read-out control means While choosing one of two or more of the aforementioned line memory and connecting with the aforementioned screen pattern memory according to the comparator which creates the half-tone-dot signal made binary, and the aforementioned vertical-scanning clock It has the line memory means for switching which choose other one of two or more of the aforementioned line memory, and are connected to the aforementioned comparator.

[0007] Screen pattern memory memorizes the threshold about two or more kinds of half tone dots,

respectively. each of two or more line memory Two or more line memory elements which responded to the number of kinds of a half tone dot are included. transfer control means As opposed to two or more aforementioned line memory elements contained in the line memory connected to the aforementioned screen pattern memory by line memory means for switching While transmitting the threshold for the 1 aforementioned repeat period of two or more aforementioned kinds of half tone dots, respectively, read-out control means It is desirable to choose one line memory element according to the half-tone-dot kind selection signal given from the outside, and to perform read-out by the aforementioned line memory means for switching, in two or more aforementioned line memory elements contained in the line memory connected to the aforementioned comparator.

[0008]

[Function] Since a comparator compares a picture signal with the threshold read from line memory and creates a half-tone-dot signal, setting-a-net processing can be performed at high speed by using the memory which has the read-out speed more than screen pattern memory as line memory. Moreover, since a part for 1 repeat period is sufficient as the threshold transmitted to line memory from screen pattern memory, a transfer of the threshold is ended comparatively for a short time. Therefore, even if it does not use memory high-speed as screen pattern memory, setting-a-net processing and a threshold transfer can be performed in parallel, without reducing the speed of setting-a-net processing.

[0009] Moreover, the threshold about two or more kinds of half tone dots is transmitted to two or more line memory elements, and if one is chosen from two or more line memory elements according to a half-tone-dot kind selection signal and screen pattern memory is read, setting-a-net processing can be performed, choosing and switching two or more half tone dots within one picture.

[0010]

[Example] A. The whole image processing system block diagram 1 is a block diagram showing the image processing system equipped with the half-tone-dot signal generation equipment as one example of this invention. This image processing system is equipped with picture edit equipment 20 and image recording equipment 30. Picture edit equipment 20 unifies a pattern, a character, and each picture element of a figure, edits a picture, and memorizes the image data in a magnetic disk 22. Image data [ finishing / edit ] and the various attribute information about a picture are transmitted to image recording equipment 30 from picture edit equipment 20, and a picture is recorded on the record media 42, such as a sensitive film, here. The half-tone-dot selection information which shows any of two or more kinds of half tone dots are applied about each pixel is also contained in attribute information.

[0011] The image data and attribute information which were given from picture edit equipment 20 are given to the raster image processor 32, and are changed into the pixel concentration signal PDS and the pixel \*\*\*\* selection signal PSS here. [ finishing / edit ] The pixel \*\*\*\* selection signal PSS is a signal which shows any of two or more kinds of half tone dots are applied about each pixel. The pixel concentration signal PDS and the pixel \*\*\*\* selection signal PSS are supplied to half-tone-dot signal generation equipment 34 from the raster image processor 32.

[0012] Half-tone-dot signal generation equipment 34 generates the half-tone-dot signal DS based on the pixel concentration signal PDS and the pixel \*\*\*\* selection signal PSS. The half-tone-dot signal DS is given to the buffer unit 36 from half-tone-dot signal generation equipment 34. The buffer unit 36 has the buffer memory for n lines, and outputs the half-tone-dot signal DS for n lines as a n-bit beam ON/OFF signal. Moreover, this buffer unit 36 has the two-set memory 362 and 364 which memorizes the value of the half-tone-dot signal DS for n lines, respectively, and the selectors 366 and 368 prepared before and after it. The toggle change of the two buffer memory 362 and 364 is carried out by selectors 366 and 368, one of these is connected to half-tone-dot signal generation equipment 34, and another side is connected to the laser beam generator 38.

[0013] The laser beam generator 38 outputs n laser beams by which ON/OFF control was carried out, corresponding respectively to a n-bit beam ON/OFF signal. n laser beams expose the sensitive film 42 laid in the recording drum 40, and a picture is recorded by this on a sensitive film 42.

[0014] In addition, each component in image recording equipment 30 operates according to the control signal given from a control section (CPU) 44. Moreover, the criteria X clock signal XCL (vertical-

scanning clock), the criteria Y clock signal YCL (horizontal-scanning clock), and a line and Signal LEND are given to half-tone-dot signal generation equipment 34. The original X clock signal XCK and the original Y clock signal YCK are given to the buffer unit 36. The original X clock signal XCK is a signal which the encoder 46 connected with the axis of rotation of a recording drum 40 generates for every rotation of a recording drum 40. The original Y clock signal YCK is generated by changing the frequency of the original X clock signal XCK several times by the PLL circuit 48. The original X clock signal XCK and the original Y clock signal YCK are changed so that it may correspond to n lines in the buffer unit 36, and they turn into above-mentioned criteria X clock signal XCL and the criteria Y clock signal YCL. Moreover, a counter 50 counts the pulse number of the criteria Y clock signal YCL, and a line and Signal LEND are generated when the counted value reaches a predetermined value. A line and Signal LEND are signals which show the back end of the main-scanning-direction range of the picture recorded.

[0015] B. The block diagram 2 of half-tone-dot signal generation equipment is a block diagram showing the outline composition of half-tone-dot signal generation equipment 34. Half-tone-dot signal generation equipment 34 is equipped with a host interface 62, the screen pattern memory (SPM) 64, the two-set line memory 66 and 68, the demultiplexer 70 and multiplexer 72 that have been arranged before and behind line memory, the line memory control section 74, a comparator 76, the SPM data transfer control section 80, the timing-control section 90, and the horizontal-scanning address generation section 100.

Components other than SPM64 are accumulated into one gate array.

[0016] SPM64 consists of dynamic RAMs and the cycle time is about 150ns. On the other hand, the line memory 66 and 68 consists of static RAMs, respectively, and the cycle time is about 25ns. That is, the line memory 66 and 68 consists of high-speed memory compared with SPM64. Moreover, SPM64 is comparatively mass memory which memorizes all the screen pattern data to two kinds of half tone dots, and the line memory 66 and 68 is the memory of the comparison-small capacity which memorizes the screen pattern data to two kinds of half tone dots by 1 repeat period, respectively.

[0017] The screen pattern data SPD memorized by SPM64 are a threshold compared with a picture signal, and the contents of the screen pattern data SPD, i.e., the array of a threshold, change with kinds of half tone dot, respectively. In addition, this example explains the case where the screen pattern data SPD1 and SPD2 to two kinds of half tone dots shown in drawing 3 are used. The 1st screen pattern data SPD 1 is data with which the 28x3-pixel matrix was considered as one repeat block RB1, and the threshold of 84 gradation to 0-83 was assigned to each of that pixel. Moreover, the 2nd screen pattern data SPD 2 is data with which the 8x8-pixel matrix was considered as one repeat block RB2, and the threshold of 64 gradation to 0-63 was assigned to each of that pixel. In addition, the repeat blocks RB1 and RB2 are repeatedly applied in the main scanning direction and the direction of vertical scanning of [ on a two-dimensional coordinate plane ]. However, in drawing 3, a part of threshold after [ expedient ] illustrating is illustrated.

[0018] The screen pattern data SPD given from CPU44 ( drawing 1 ) are written in SPM64 through a host interface 62. This write-in operation is controlled by the SPM data transfer control section 80. The two-set line memory 66 and 68 is constituted as a toggle buffer in which a toggle change is carried out by a demultiplexer 70 and the multiplexer 72. The change of a demultiplexer 70 and a multiplexer 72 is controlled by the line memory control section 74.

[0019] The screen pattern data SPD memorized by SPM64 are transmitted to the two-set line memory 66 and 68 by turns. This transfer is controlled by the SPM data transfer control section 80 and the timing-control section 90. The line memory 66 has two line memory elements 66a and 66b. The line memory 68 has two line memory elements 68a and 68b similarly. The 1st line memory element 66a and 68a memorizes the 1st screen pattern data SPD 1, and the 2nd line memory element 66b and 68b memorizes the 2nd screen pattern data SPD 2. Each line memory element memorizes the screen pattern data for 1 repeat period of a repeat block of each half tone dot. That is, the data for 28 pixels are memorized about the 1st screen pattern data SPD 1, and the data for 8 pixels are memorized about the 2nd screen pattern data SPD 2. In addition, the term the "screen pattern" used for below means arrangement of 1 set of screen pattern data in each repeat blocks RB [ RB1 and ] 2.

[0020] The two-set line memory 66 and 68 is switched by the multiplexer 72, screen pattern data are read from one of these, and the read screen pattern is given to a comparator 76. This read-out is performed according to the horizontal-scanning address given to a multiplexer 72 from the horizontal-scanning address generation section 100, and according to the pixel \*\*\*\* selection signal PSS, one in two kinds of screen pattern data is chosen, and it is read.

[0021] A comparator 76 compares the screen pattern data SPD and the pixel concentration signal PDS which were given from the multiplexer 72, and generates the half-tone-dot signal DS made binary by this. In the setting-a-net processing on the one scanning line of a sensitive film 42, the screen pattern data for 1 repeat period of a repeat block of a half tone dot are repeatedly compared with a picture signal. Therefore, the line memory 66 and 68 should just have the capacity of a repeat block which can memorize the data for 1 repeat period at least.

[0022] As mentioned above, with this half-tone-dot signal generation equipment 34, the screen pattern data SPD memorized by SPM64 are transmitted to one side of 1 repeat period [ every ] line memory 66 and 68, and the half-tone-dot signal DS is generated by reading the screen pattern data SPD from the line memory of another side, and comparing with the pixel concentration signal PDS simultaneously. Since memory comparatively high-speed as line memory 66 and 68 is used, the half-tone-dot signal DS is generable at high speed. Moreover, although memory [ comparatively low speed / as SPM64 ] is used, since the data transmitted to the line memory 66 and 68 from SPM64 are only several pixel minutes equivalent to 1 repeat period of the main scanning direction of a repeat block of each half tone dot, the time which the transfer takes is short compared with the time which setting-a-net processing takes, and ends. Therefore, according to this half-tone-dot signal generation equipment 34, setting-a-net processing can be performed at high speed.

[0023] Moreover, each line memory 66 and 68 has two line memory elements, respectively, by reading screen pattern data from one side of these alternatively, can choose a half-tone-dot kind for every pixel, and can perform setting-a-net processing. When the kind of half tone dot becomes plurality, since the amount of data which should be memorized in line memory should just have a block by 1 repeat period at least repeatedly to each half tone dot, a bird clapper does not have the capacity of line memory greatly too much. Therefore, there is an advantage that high-speed line memory can be easily integrated with other circuits.

[0024] C. The detailed composition and the cyclegraph 4 of half-tone-dot signal generation equipment are a block diagram showing the internal configuration of the SPM data transfer control section 80. The SPM data transfer control section 80 is equipped with the SPM address selector 108, the redirecting-address generating section 110, the initial address registers 112a and 112b, the start address registers 114a and 114b, and the end address registers 116a and 116b. The redirecting-address generating section 110 writes in with the read-out address generation machines 118a and 118b, and has the address generation machines 120a and 120b. According to the control signal S108 given from the timing-control section 90, the SPM address selector 108 is given from CPU44, chooses one of the address SPMAD of \*\*\*\*\* SPM 64, and the read-out addresses RA given from the redirecting-address generating section 110, and supplies it to SPM64. About the function of other components, it mentions later.

[0025] In addition, that to which "a" is attached to the tail of a sign among each component of the SPM data transfer control section 80 is an element which processes the data about the 1st screen pattern data SPD 1, and that to which "b" is attached to the tail of a sign is an element which processes the data about the 2nd screen pattern data SPD 2. In addition, when the component over 2 screen pattern data is shown collectively, the sign [a] of a tail and [b] are omitted. For example, when it is described as "the write-in address generation machine 120", two write-in address generation machines 120a and 120b are shown. The meaning of the sign [a] of this tail and [b] is the same also in other circuits. Moreover, it is shown that the component about the 1st and 2nd screen pattern data is describing drawing 4 as "S1] and "S2], respectively.

[0026] Drawing 5 is the block diagram showing the internal configuration of the timing-control section 90. The timing-control section 90 is equipped with the control signal generating section 122, Y clock counting-down circuits 124a and 124b, and X clock counting-down circuits 126a and 126b. The control

signal generating section 122 receives the control signal SS given from CPU44, a control signal S74 is given to the line memory control section 74 according to this, and control signals S108 and S110 are given to the SPM data transfer control section 80, and control signal S130a and S130b are given to the horizontal-scanning address generation section 100. Y clock counting-down circuits 124a and 124b carry out dividing of the criteria Y clock signal YCL given from the PLL circuit 48 ( drawing 1 ) by the predetermined division ratio, respectively, and generate the Y clock signals YCL1 and YCL2 of the main scanning direction used for the 1st and the 2nd half tone dot. X clock counting-down circuits 126a and 126b carry out dividing of the criteria X clock signal XCL given from the encoder 46 ( drawing 1 ) by the predetermined division ratio, respectively, and generate the X clock signals XCL1 and XCL2 of the direction of vertical scanning used for the 1st and the 2nd half tone dot. The Y clock signals YCL1 and YCL2 generated in the timing-control section 90 are given to the horizontal-scanning address generation section 100, and the X clock signals XCL1 and XCL2 are given to the SPM data transfer control section 80. In addition, about the reason for carrying out dividing of the criteria X clock signal XCL and the criteria Y clock signal YCL, it mentions later further.

[0027] Drawing 6 is the block diagram showing the internal configuration of the horizontal-scanning address generation section 100. The horizontal-scanning address generation section 100 is equipped with Y address generation machines 130a and 130b, the initial address registers 132a and 132b of Y, Y start address registers 134a and 134b, and Y and address registers 136a and 136b. Here, the head of the name of each element is given. "it is shown that Y] is an element which processes the data of main scanning direction. About the function of each of these components, it mentions later further.

[0028] Drawing 7 is a timing chart which shows the whole operation of half-tone-dot signal generation equipment 34. First, the screen pattern data SPD are supplied to half-tone-dot signal generation equipment 34 through a host interface 62 from CPU44. The given screen pattern data SPD are written in SPM64. Drawing 8 is explanatory drawing showing the composition of the screen pattern data SPD written in SPM64. At drawing 8 , it is address 00h -53h. The 1st screen pattern data SPD 1 is memorized by the range, and it is address 100h -13Fh. The 2nd screen pattern data SPD 2 is memorized by the range. The threshold of 8 bits is memorized by each address, respectively. In addition, it is shown that "h" is a hexadecimal. The sign in drawing 8 "S1", "S2] shows the 1st and 2nd screen pattern data SPD1 and SPD2, respectively. Moreover, a sign "L1] shows the sequence of the scanning line. For example, "S1-L1] is data of the 1st scanning line of the 1st screen pattern data SPD 1.

[0029] The following three addresses are specified about each screen pattern data SPD1 and SPD2 in SPM64.

- (1) A start address STA 1 and the address of the head of the screen pattern data in STA2:SPM64 are shown.
- (2) And the address ENDA1 and the address of the back end of the screen pattern data in ENDA2:SPM64 are shown.
- (3) Initial addresses INIA1 and INIA2 : in case screen pattern data are read to the line memory 66 and 68, the address of the data read first is shown. The initial addresses INIA1 and INIA2 are set as any one of the addresses of the data of the head of the scanning line.

Three kinds of these addresses are given from CPU44, and are registered into the registers 112, 114, and 116 (refer to drawing 4 ) in the SPM data transfer control section 80, respectively.

[0030] Drawing 9 is explanatory drawing showing the relation between the repeat blocks RB1 and RB2 of each half tone dot on a record picture, and each above-mentioned address. In drawing 9 , an alternate long and short dash line is the repeat block RB1 of the 1st screen pattern data SPD 1, and a dashed line is the repeat block RB2 of the 2nd screen pattern data SPD 2. Moreover, the X-axis and a Y-axis are the pixel coordinates of the direction of vertical scanning of a record picture, and main scanning direction. The initial addresses INIA1 and INIA2 express offset of the direction X of vertical scanning of a repeat block of each half tone dot to the zero of a record picture. That is, the screen pattern data of the vertical-scanning position shown in the initial addresses INIA1 and INIA2 are applied to the pixel of the home position of a record picture. In addition, drawing 9 shows the case where there is no offset of main scanning direction Y.

[0031] SPM64 is assigned on the memory map of CPU44, and the start addresses STA1 and STA2 to each half tone dot and the end addresses ENDA1 and ENDA2 are determined by CPU44, and are supplied to half-tone-dot signal generation equipment 34. Moreover, offset is included in the attribute information which picture edit equipment 20 creates, CPU44 decodes this, and it generates the initial addresses INIA1 and INIA2, and supplies them to half-tone-dot signal generation equipment 34.

[0032] The addresses STA1, ENDA1, and INIA1 about the 1st screen pattern data SPD 1 are memorized by Registers 112a, 114a, and 116a, respectively, and the addresses STA2, ENDA2, and INIA2 about the 2nd screen pattern data SPD 2 are memorized by Registers 112b, 114b, and 116b, respectively.

[0033] If the screen pattern data SPD are written in SPM64, a start command of operation will be given to half-tone-dot signal generation equipment 34 from CPU44. If a start command of operation is given, as shown in drawing 7, the screen pattern data SPD for the 1 scanning line in SPM64 will be transmitted to the line memory 66. In addition, this data transfer is controlled by the SPM data transfer control section 80 (drawing 4). In the case of data transfer, the read-out address generation machine 118 generates the read-out address RA of SPM64, and the write-in address generation machine 120 generates the write-in address WA of the line memory 66 and 68.

[0034] Drawing 10 is explanatory drawing showing the composition of the screen pattern data written in the line memory 66. The screen pattern data SPD 1 of the scanning line L2 shown in the initial address INIA1 (drawing 8) are memorized by line memory 66a for the 1st half tone dot. Similarly, the screen pattern data SPD 2 of the scanning line L4 shown in the initial address INIA2 are memorized by line memory 66b for the 2nd half tone dot.

[0035] As shown in drawing 10, about the data memorized by the line memory 66, three kinds of addresses as follows are specified.

- (1) Y start addresses YSTA1 and YSTA2 : the address of the head of the screen pattern data in the line memory 66 is shown.
- (2) Y and the addresses YENDA1 and YENDA2 : the address of the back end of the screen pattern data in the line memory 66 is shown.
- (3) The initial addresses YINIA1 and YINIA2 of Y : in case screen pattern data are read, the address of the data read first is shown.

[0036] As mentioned above, three kinds of addresses shown in drawing 8 are the addresses of SPM64, and in case they transmit the screen pattern data SPD to the line memory 66 and 68 from SPM64, they are used. On the other hand, three kinds of addresses shown in drawing 10 are the addresses of the line memory 66, and in case they read the screen pattern data SPD from the line memory 66 to a comparator 76, they are used. The initial addresses YINIA1 and YINIA2 of Y of drawing 10 express offset of main scanning direction to the initial addresses INIA1 and INIA2 of drawing 8 having expressed offset of the direction of vertical scanning of a picture. Drawing 11 is explanatory drawing showing the relation of the repeat blocks RB1 and RB2 of each half tone dot on a record picture, and the above-mentioned addresses INIA and YINIA. As shown in drawing 11, the address (INIA1, YINIA1) and the screen pattern shown by (INIA2, YINIA2) are applied to the pixel of the zero of a record picture, respectively. offset concerning the 1st and the 2nd half tone dot at the example shown by drawing 8, drawing 10, and drawing 11 -- respectively (2 4) -- and (4 3) -- it is . Thus, it is effective when suppressing the moire generated in case two or more color versions will be printed and printed matter will be created in piles, if it enables it to set up offset of a half tone dot in main scanning direction and the direction of vertical scanning, respectively. In addition, about the relation of the offset and moire of a half tone dot, since it is indicated by JP,2-134635,A, explanation here is omitted.

[0037] The Y start addresses YSTA1, YSTA2, and Y and the addresses YENDA1 and YENDA2 of main scanning direction are determined by CPU44, and are supplied to half-tone-dot signal generation equipment 34. Moreover, offset is included in the attribute information which picture edit equipment 20 creates, CPU44 decodes this, and it generates the initial addresses YINIA1 and YINIA2 of Y, and supplies them to half-tone-dot signal generation equipment 34. These addresses are registered into the address registers 132, 134, and 136 in the horizontal-scanning address generation section 100 (drawing 6).



[0038] Drawing 12 and drawing 13 are flow charts which show the procedure which transmits screen pattern data to the line memory 66 and 68 from SPM64. Processing of drawing 12 is started according to the criteria X clock signal XCL given to the control signal generating section 122 ( drawing 5 ). At Step T1, the initial addresses INIA1 and INIA2 about two screen pattern data read from the initial address registers 112a and 112b, and are supplied to the address generation machines 118a and 118b, respectively ( drawing 4 ). At Step T2, the Y start addresses YSTA1 and YSTA2 registered into Y start address registers 134a and 134b ( drawing 6 ) are transmitted to the write-in address generation machines 120a and 120b in the SPM data transfer control section 80 ( drawing 4 ).

[0039] At Step T3, the address value of the read-out address generation machine 118 is memorized in the redirecting-address generating section 110 as a processing line read-out start address. In case the data of the 1st scanning line specified in the initial addresses INIA1 and INIA2 are transmitted, the initial address INIA given to the redirecting-address generating section 110 in Step T1 and INIA2 become a processing line read-out start address.

[0040] Steps T4-T8 of drawing 13 are processings which transmit the 1st screen pattern data SPD 1, and Steps T9-T13 are processings which transmit the 2nd screen pattern data SPD 2. The address value (it is hereafter called "the write-in address WA") of the write-in address generation machine 120 is compared with Y and the address YENDA1 by Step T4. The write-in address WA is the address given to the line memory 66. The write-in address WA at the transfer start time is the Y start address YSTA1 transmitted at Step T2.

[0041] It writes in in Step T4, and when Addresses WA are Y and the one or less address YENDA, in Step T5, 1 byte of screen pattern data SPD 1 in SPM64 are transmitted to line memory 66a. Under the present circumstances, it reads from the read-out address generation machine 118 to SPM64 through the SPM address selector 108, and Address RA is given and 1 byte of data of this read-out address RA are read. Moreover, the write-in address WA writes in, it is given to line memory 66a from the address generation machine 120, and the data read from SPM64 are written in this write-in address WA. Speaking concretely, transmitting 1 byte of data shown in the initial address INIA1 of drawing 8 to the position of the Y start address YSTA1 of drawing 10 .

[0042] At Step T6, it writes in with the read-out address RA in read-out address generation machine 118a, and the increment of the write-in address WA in address generation machine 120a is carried out every [ 1 ], respectively. And the screen pattern data SPD 1 for 1 repeat period are transmitted by repeating Steps T4-T6.

[0043] After the data transfer for 1 repeat period is completed, it writes in in Step T4, and Address WA becomes larger than Y and the address YENDA1, and shifts to Step T7. The read-out address RA and the end address ENDA1 are compared by Step T7. And the address ENDA1 shows the address of the back end of the data of this screen pattern data SPD 1, as shown in drawing 8 . Then, when the read-out address RA is larger than the end address ENDA1, the start address STA 1 registered into start address register 114a is transmitted to read-out address generation machine 118a, and is memorized. Consequently, in case the data of the following scanning line are transmitted, a transfer will be performed from the data shown by the start address STA 1.

[0044] Since Steps T9-T13 are the respectively same processings as Steps T4-T8, explanation is omitted. In this way, the screen pattern data for 1 repeat period are transmitted to the line memory 66a and 66b about two half tone dots, respectively ( drawing 10 ).

[0045] After data transfer is completed, while the timing-control section 90 gives a control signal S74 to the line memory control section 74 and switches a demultiplexer 70 ( drawing 2 ) to the line memory 68 side, a multiplexer 72 is switched to the line memory 66 side. Then, if the pulse of the criteria X clock signal XCL is given to the timing-control section 90, the timing-control section 90 will give a control signal to each circuit, and as shown in drawing 7 , setting-a-net processing and a data transfer will be performed in parallel.

[0046] Drawing 14 is a flow chart which shows the procedure of setting-a-net processing. Here, although the setting-a-net processing which used the 1st screen pattern data SPD 1 is explained, processing with the same said of the 2nd screen pattern data SPD 2 is performed. At Step T31, the initial

address YINIA1 of Y is supplied to Y address generation machine 130a from initial address register of Y 132a ( drawing 6 ). The address value (Y address YAD1) in Y address generation machine 130a is compared with Y and the address YENDA1 by Step T32. At the start time of setting-a-net processing, the Y address YAD1 is the initial address YINIA1 of Y, and since it is smaller than Y and the address YENDA1, it shifts to Step T34 from Step T32.

[0047] At Step T34, the Y address YAD1 is given to the line memory 66 through a multiplexer 72 from Y address generation machine 130a, and 1 byte of screen pattern data SPD 1 are read from the line memory 66 according to this. And the read screen pattern data SPD 1 are given to a comparator 76 through a multiplexer 72, and are compared with the pixel concentration signal PDS ( drawing 2 ). A comparator 76 compares the screen pattern data SPD 1 with the pixel concentration signal PDS, and generates the half-tone-dot signal DS binary [ according to the comparison result ]. For example, the half-tone-dot signal DS is made into H level at the time of  $PDS \geq SPD1$ , and let the half-tone-dot signal DS be L level at the time of  $PDS < SPD1$ .

[0048] In addition, in Step T34, the screen pattern data SPD1 and SPD2 of the 1st and the 2nd half tone dot are given to a multiplexer 72, one of these is chosen according to the pixel \*\*\*\* selection signal PSS, and both sides are compared with the pixel concentration signal PDS. It means in other words having chosen the screen pattern used for setting-a-net processing for every pixel according to the pixel \*\*\*\* selection signal PSS, and this is equivalent to two kinds of selectable screen patterns existing to the same coordinate on a sensitive film 42.

[0049] In addition, the pixel \*\*\*\* selection signal PSS is given to a multiplexer 72 for every pixel synchronizing with the criteria Y clock signal YCL. An operator specifies in the case of edit of a picture [ in / picture edit equipment 20 / in any of two screen patterns are applied to each pixel ], and this result is included in attribute information. The raster image processor 32 ( drawing 1 ) generates the pixel \*\*\*\* selection signal PSS based on this attribute information, and supplies it to a multiplexer 72.

[0050] It returns to drawing 14 , and it stands by after the setting-a-net processing in Step T34 until it continues processing and the Y clock signal YCL1 is given to Y address generation machine 130a ( drawing 6 ) at Step T36, if a line and Signal LEND are not given to the control signal generating section 122 in Step T35. If the Y clock signal YCL1 is supplied in Step T36, in Step T37, Y address generation machine 130a will increment the one Y address YAD1.

[0051] Next, in Step T32, the Y addresses YAD1 and Y and the address YENDA1 are compared. The increment is carried out at Step T37, in  $YAD1 > YENDA1$ , the Y start address YSTA1 is given in Step T33 at Y address generation machine 130a, and the Y address YAD1 is memorized as the new Y address YAD1.

[0052] Processing of Steps T32 and T33 is processing for repeating and using the data in line memory 66a on the same scanning line of a recording drum 40. That is, as shown in drawing 10 , if the screen pattern data SPD 1 in line memory 66a are first read from the data of the initial address YINIA1 of Y and it is read to Y and the address YENDA1, it will return to the Y start address YSTA1, and data will be read from the head of line memory 66a. In this way, the screen pattern data for 1 repeat period memorized by line memory 66a are read repeatedly, and are compared with the pixel concentration signal PDS. The same is said of the data in line memory 66b.

[0053] In this way, Steps T32-T37 are repeatedly performed until a line and Signal LEND are given to the timing-control section 90 in Step T35, and the setting-a-net processing in the one scanning line of a recording drum 40 is completed.

[0054] In addition, as shown in drawing 7 , data transfer is also performed in parallel to setting-a-net processing. That is, while performing setting-a-net processing using the screen pattern data SPD memorized by the line memory 66, the screen pattern data for the 2nd repeat period are transmitted to the line memory 68 of another side from SPM64.

[0055] In case the screen pattern data about the repeat period of the 2nd henceforth are transmitted, Steps T21-T24 of drawing 12 are performed. As mentioned above, processing of drawing 12 is started according to the criteria X clock signal XCL given to the control signal generating section 122 ( drawing 5 ). At Step T21, it is judged whether the X clock signal XCL1 about the 1st screen pattern was inputted

into the control signal generating section 122. Since dividing of the criteria X clock signal XCL is carried out by X clock counting-down circuit 126a, when the reference clock signal XCL is given to the control signal generating section 122, the X clock signal XCL1 for the 1st screen pattern may not be inputted into the control signal generating section 122. When the X clock signal XCL1 is not inputted, a control signal S110 is given to the redirecting-address generating section 110 from the control signal generating section 122, and Step T22 is performed according to this. At Step T22, the processing line read-out start address memorized at Step T3 in the last repeat period reads, and it is registered as an address value RA of address generation machine 118a. Consequently, when the X clock signal XCL1 is not given with the criteria X clock signal XCL, the same data as the data transmitted before 1 repeat period are transmitted. About this, it mentions later with the effect which carries out dividing of the reference clock signal.

[0056] Steps T23 and T24 are the procedures of performing the same processing as Steps T21 and T22 about the 2nd screen pattern. If it reads at Step T24 and Address RA is set up, it will shift to Step T2 and data will be transmitted to the 2nd line memory 68.

[0057] Drawing 15 is explanatory drawing showing the screen pattern data SPD memorized by two line memory 66 and 68. The screen pattern data SPD memorized by the 1st line memory 66 are read, are given to a comparator 76, and are compared with the pixel concentration signal PDS. On the other hand, the screen pattern data SPD are written in the 2nd line memory 68 from SPM64. In addition, in two line memory 66 and 68, the value of the initial address YINIA1 of Y, and the Y start addresses YSTA1 and Y and the address YENDA1 is common respectively. That is, these addresses are the same to every repeat period. In addition, the same is said of these addresses about the 2nd screen pattern.

[0058] As shown in drawing 7, whenever the criteria X clock signal XCL is given to half-tone-dot signal generation equipment 34, the scanning line is updated, and setting-a-net processing and data transfer are performed in parallel. In addition, since there is little amount of data transmitted to the line memory 66 and 68, data transfer is completed in a part of time which setting-a-net processing takes. Therefore, processing speed of setting-a-net processing is not reduced by performing data transfer in parallel.

[0059] Thus, in the above-mentioned example, comparatively low speed SPM64 and the comparatively high-speed line memory 66 and 68 are used, and the screen pattern data SPD are repeated, and it transmits to 1 repeat period [ every ] line memory 66 and 68 of a block, and was made to carry out setting-a-net processing in parallel to this data transfer. Therefore, as line memory 66 and 68, there is an advantage that what is necessary is just to use high-speed memory, to each half tone dot by the small capacity which can memorize the data for 1 repeat period of a repeat block.

[0060] C. When recording the low half tone dot of the effect screen ruling (a line/inch) of dividing of a clock signal by the high recording device of an output resolution (dpi), the repeat block of a half tone dot may become large. For example, when screen ruling performs setting-a-net processing which are 150 lines / inch by the recording device of 3000dpi, one side of a repeat block of a half tone dot is 20 pixels ( $=3000/150$ ). Moreover, if screen ruling performs setting-a-net processing which are 75 lines / inch by the recording device of 3000dpi, one side of a repeat block of a half tone dot will be 40 pixels ( $=3000/75$ ), and a length of one side will increase 4 times in the double precision of 150 lines / inch, and area. Since the size of one repeat block becomes still larger in case a half tone dot with angles, such as 15 degrees and 75 etc. degrees, is created in fact, what also has a big capacity of the line memory 66 and 68 is needed.

[0061] The counting-down circuits 124 and 126 ( drawing 5 ) which carry out dividing of the reference clock signals XCL and YCL are formed in order to enable it to change the screen ruling of a record picture. Moreover, as shown below, when recording the small half tone dot of screen ruling by the high recording device of an output resolution, it consists of this half-tone-dot signal generation equipment 34 so that the amount of data of one repeat block can be made small.

[0062] Drawing 16 is explanatory drawing showing signs that screen ruling is changed by dividing of the reference clock signals XCL and YCL. Drawing 16 compares and shows repeat pattern RB2of 2nd half-tone-dot S2b at the time of carrying out dividing of repeat pattern RB2a and reference clock signals

XCL and YCL of 2nd half-tone-dot S2a at the time of using reference clock signals XCL and YCL as they were one half b. If dividing of the reference clock signal is carried out by the division ratio 2, a length of one side of a record pixel will become double precision. Generally, if dividing of the reference clock signal is carried out by the division ratio M, a length of one side of a record pixel will increase M times. Therefore, the size of a record pixel can be adjusted by adjusting a division ratio. The division ratio of counting-down circuits 124 and 126 can be respectively set up from CPU44.

[0063] The same data as the data which Step T24 was performed when the X clock signal XCL2 by which dividing was carried out was not given with the criteria X clock signal XCL in Step T23 of drawing 12 on the occasion of a transfer of the screen pattern data SPD, consequently were transmitted before 1 repeat period are transmitted to the line memory 66 or 68. That is, only when the X clock signal XCL2 is inputted, the repeat period of a screen pattern is updated. On the other hand, in case the screen pattern data SPD are read from the line memory 66 in setting-a-net processing, data are read according to the Y clock signal YCL1 by which dividing was carried out. Consequently, as shown in drawing 16, the size of the half tone dot on a record picture increases in proportion to a division ratio.

[0064] Although half-tone-dot S2b of drawing 16 has the size of the double precision of half-tone-dot S2a, both amounts of data of the data used for setting a net are the same. Thus, there is an advantage that screen ruling can be changed with the amount of data of one repeat block maintained, by using the clock signal by which dividing was carried out with counting-down circuits 124 and 126.

[0065] D. It is possible to carry out in various modes in the range which is a modification and which this invention is not restricted to the above-mentioned example, and does not deviate from the summary, for example, the following deformation is also possible.

[0066] (1) In the above-mentioned example, although two kinds of screen pattern data SPD shall be memorizable in the line memory 66 and 68, respectively, it is good also as what memorizes one kind of screen pattern data SPD, respectively, and what can memorize three or more kinds of screen pattern data SPD may be used. In memorizing three or more kinds of screen pattern data SPD, other circuit portions increase according to the kind of screen pattern data SPD. In addition, the difference in the kind of screen pattern data SPD may be a difference not only in the difference in screen ruling but a half-tone-dot configuration.

[0067] (2) Although SPM64 was constituted from a DRAM and more nearly high-speed SRAM constituted the line memory 66 and 68 from the above-mentioned example, you may use memory same type for these. Also in this case, setting-a-net processing can be accelerated comparatively easily by accelerating the circuit used in case data are read from the line memory 66 and 68. It is more accelerable if the circuit used in case data are especially read from the line memory 66 and 68 is integrated in one IC.

[0068] (3) Drawing 17 is the block diagram showing other examples of this invention. Drawing 17 corresponds to the portion containing CPU44 and the half-tone-dot signal generation equipment 34 ( drawing 2 ) in drawing 1. With the equipment of drawing 17, the memory 202 connected to the CPU bus 200 is used for a change of SPM64 of drawing 2, and the direct-memory-access controller (DMAC) 204 is used for a change of the SPM data transfer control section 80. The hard disk 208 is also connected to the CPU bus 200 through I/O interface 206.

[0069] Since there is, even if the amount of data of the screen pattern data SPD transmitted to the line memory 66 and 68 from memory 202 controls a transfer by DMAC204, it can perform data transfer by within a time [ which setting-a-net processing takes ]. [ little ] However, if it is made to perform data transfer using the SPM data transfer control section 80 of exclusive use as shown in drawing 2, it is possible to perform data transfer at high speed more. For example, there are many kinds of screen pattern data SPD, and when the amount of data transfer becomes large, the composition shown in drawing 2 is desirable.

[0070] (4) The above example and modification can be applied when 1 horizontal-scanning line performs the two or more color version record of two colors or four colors.

[0071]

[Effect of the Invention] Since according to the half-tone-dot signal generation equipment of this

invention a comparator compares a picture sign with the threshold for 1 repeat period read from line memory and creates a half-tone-dot signal as explained above, setting-a-net processing can be performed at high speed by using the memory which has the read-out speed more than screen pattern memory as line memory. Moreover, since a part for 1 repeat period is sufficient as the threshold transmitted to line memory from screen pattern memory, even if it does not use memory high-speed as screen pattern memory, a transfer of a threshold can be performed, without reducing the speed of setting-a-net processing. Namely, memory mass at high speed does not need to be used for the half-tone-dot signal generation equipment of this invention as screen pattern memory, and it is effective in the ability to perform setting-a-net processing at high speed.

[0072] Moreover, the threshold about two or more kinds of half tone dots is transmitted to two or more line memory elements, and if one is chosen from two or more line memory elements according to a half-tone-dot kind selection signal and screen pattern memory is read, it is effective in the ability to perform setting-a-net processing, choosing and switching two or more half tone dots within one picture. Although mass memory is needed as screen pattern memory when a half-tone-dot kind increases, since line memory is used, it is effective in not reducing processing speed of setting-a-net processing, even if it increases the capacity of screen pattern memory.

## DESCRIPTION OF DRAWINGS.

---

### [Brief Description of the Drawings]

[Drawing 1] The block diagram showing the image processing system equipped with the half-tone-dot signal generation equipment as one example of this invention.

[Drawing 2] The block diagram showing the outline composition of half-tone-dot signal generation equipment 34.

[Drawing 3] Explanatory drawing showing the array of the threshold of the screen pattern data SPD1 and SPD2 of two kinds of half tone dots.

[Drawing 4] The block diagram showing the internal configuration of the SPM data transfer control section 80.

[Drawing 5] The block diagram showing the internal configuration of the timing-control section 90.

[Drawing 6] The block diagram showing the internal configuration of the horizontal-scanning address generation section 100.

[Drawing 7] The timing chart which shows the whole operation of half-tone-dot signal generation equipment 34.

[Drawing 8] Explanatory drawing showing the composition of the screen pattern data SPD written in SPM64.

[Drawing 9] Explanatory drawing showing the relation of the repeat block and each address of each half tone dot on a record picture.

[Drawing 10] Explanatory drawing showing the composition of the screen pattern data SPD written in the line memory 66.

[Drawing 11] Explanatory drawing showing the relation of the addresses INIA and YINIA which show the repeat block and offset of each half tone dot on a record picture.

[Drawing 12] The flow chart which shows the procedure of screen pattern data transfer.

[Drawing 13] The flow chart which shows the procedure of screen pattern data transfer.

[Drawing 14] The flow chart which shows the procedure of setting-a-net processing.

[Drawing 15] Explanatory drawing showing the screen pattern data SPD memorized by two line memory 66 and 68.

[Drawing 16] Explanatory drawing showing change of the screen ruling by dividing of a clock signal.

[Drawing 17] The block diagram showing other examples of this invention.

### [Description of Notations]

20 Picture Edit Equipment

30 Image Recording Equipment

32 Raster Image Processor

34 Half-Tone-Dot Signal Generation Equipment

36 Buffer Unit

38 Laser Beam Generator

40 Recording Drum

42 Sensitive Film

44 CPU

46 Encoder

48 PLL Circuit

50 Counter

62 Host Interface

64 Screen Pattern Memory (SPM)

66 Line Memory

68 Line Memory

70 Demultiplexer

72 Multiplexer

74 Line Memory Control Section

76 Comparator  
 80 SPM Data Transfer Control Section  
 90 Timing-Control Section  
 100 Horizontal-Scanning Address-Generation Section  
 108 SPM Address Selector  
 110 Redirecting-Address Generating Section  
 112 Initial Address Register  
 118 Address Generation Machine  
 120 Address Generation Machine  
 122 Control Signal Generating Section  
 124 Counting-down Circuit  
 132 Address Register  
 200 CPU Bus  
 202 Memory  
 208 Hard Disk  
 362 Buffer Memory  
 362 Memory  
 366 Selector  
 DS Half-tone-dot signal  
 ENDA1, ENDA2 And the address  
 INIA1, ENDA2 Initial address  
 LEND A line and signal  
 PDS Pixel concentration signal  
 PSS Pixel \*\*\*\* selection signal  
 RA Read-out address  
 SPD1, SPD2 Screen pattern data  
 STA1, STA2 Start address  
 WA Address  
 X The direction of vertical scanning  
 XCL Criteria X clock signal  
 XCL1, XCL2 X clock signal  
 Y Main scanning direction  
 YAD Y address  
 YCL Criteria X clock signal  
 YCL1, YCL2 Y clock signal  
 YENDA1, YENDA2 Y and the address  
 YINIA1, YINIA2 The initial address of Y  
 YSTA1, YSTA2 Y start address

---

[Translation done.]

(43)公開日 平成6年(1994)1月14日

### 技術表示箇所

審査請求 未請求 請求項の数 2 (全 23 頁)

(21)出願番号 特願平4-184475

(22)出願日 平成4年(1992)6月17日

(71)出願人 000207551

大日本スクリーン製造株式会社

京都府京都市上京区堀川通寺之内上る4丁目天神北町1番地の1

(72) 發明者 平和 孝英

京都市上京区堀川通寺之内上る4丁目天神  
北町1番地の1 大日本スクリーン製造株  
式会社内

(72)発明者 吉岡 正喜

京都市上京区堀川通寺之内上る4丁目天神  
北町1番地の1 大日本スクリーン製造株  
式会社内

(74)代理人 弁理士 五十嵐 孝雄 (外1名)

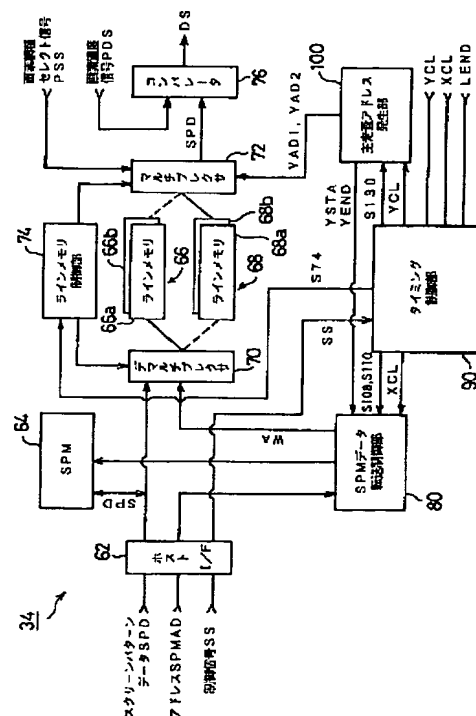
[最終頁に続く](#)

(54)【発明の名称】 網点信号発生装置

(57) 【要約】

【目的】 スクリーンパターンメモリとして高速なメモリを使用することなく、高速に網かけ処理を行なうことのできる網点信号発生装置を提供する。

【構成】 SPM64に記憶されているスクリーンパターンデータは、スクリーンパターンの1繰り返し周期分ずつラインメモリ66、68に交互に転送される。これと並行して、ラインメモリ66、68に記憶されたデータが交互に読出されてコンパレータ76に与えられ、画素濃度信号PDSと比較されて網点信号DSが生成される。ラインメモリ66、68に比較的高速のメモリを用いることによって高速に網かけ処理を実行することができる。また、各ラインメモリ66、68には2種類の網点のスクリーンパターンデータを記憶し、画素網種選択信号PSSに応じてその一方を選択することによって、2種類のスクリーンパターンを画素毎に切換えつつ網かけ処理を実行する。





## 【特許請求の範囲】

【請求項1】 与えられた画像信号に応じて網点信号を発生する網点信号発生装置であって、

2次元座標面上の主走査方向および副走査方向に繰り返し適用される繰り返しブロック内において各座標位置に配列されたしきい値を記憶するスクリーンパターンメモリと、

前記スクリーンパターンメモリ以上の読み出し速度を有するメモリで構成され、前記繰り返しブロックの主走査方向の少なくとも1繰り返し周期分の前記しきい値をそれぞれ記憶する容量の複数のラインメモリと、

外部から与えられた副走査クロックに応じて、前記スクリーンパターンメモリから前記複数のラインメモリの1つに前記1繰り返し周期分のしきい値を転送する転送制御手段と、

外部から与えられた主走査クロックに応じて、前記複数のラインメモリの他の1つから前記1繰り返し周期分のしきい値を読み出す読出し制御手段と、

前記読出し制御手段により読出されたしきい値と画像信号とを比較することによって、2値化した網点信号を作成するコンパレータと、

前記副走査クロックに応じて、前記複数のラインメモリの1つを選択して前記スクリーンパターンメモリに接続するとともに、前記複数のラインメモリの他の1つを選択して前記コンパレータに接続するラインメモリ切換手段と、

を備えることを特徴とする網点信号発生装置。

【請求項2】 請求項1記載の網点信号発生装置であって、

スクリーンパターンメモリは、複数種類の網点についてのしきい値をそれぞれ記憶し、

複数のラインメモリのそれぞれは、網点の種類数に応じた複数のラインメモリ要素を含み、

転送制御手段は、ラインメモリ切換手段によって前記スクリーンパターンメモリに接続されたラインメモリに含まれる前記複数のラインメモリ要素に対して、前記複数種類の網点の前記1繰り返し周期分のしきい値をそれぞれ転送するとともに、

読出し制御手段は、前記ラインメモリ切換手段によって前記コンパレータに接続されたラインメモリに含まれる前記複数のラインメモリ要素の中で、外部から与えられた網点種選択信号に応じて1つのラインメモリ要素を選択して読出しを実行する網点信号発生装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、印刷製版用の画像処理システム等において使用され、画像信号に網かけ処理を行なうことによって網点信号を発生する網点信号発生装置に関する。

## 【0002】

【従来の技術】 画像信号に基づいて画像を再現する際には、画像信号を所定のしきい値と比較して網点信号を作成する網かけ処理が行なわれる。このしきい値はスクリーンパターンデータと呼ばれており、1組のスクリーンパターンデータは所定の形状の画素ブロック内の各画素にしきい値が配列された構成を有している。網かけ処理では、各画素のしきい値と画像信号のレベルが比較され、画像信号のレベルとしきい値との大小に応じて2値化された網点信号が作成される。

【0003】 従来は、スクリーンパターンメモリ（SPM）と呼ばれる専用のメモリにスクリーンパターンデータを記憶しておき、主走査クロックに同期してしきい値を画素毎にSPMから読出し、これを画像信号と比較していた。

## 【0004】

【発明が解決しようとする課題】 ところで、近年、出力デバイスの性能が向上し、より高分解能で高速に網かけ処理を行ないたいという要望が強まっている。分解能

（単位長さ当たりの画素数）を高めて同一の処理速度を得るには、クロック周波数を高める必要があり、これに伴ってSPMの応答速度も高速にする必要がある。また、高分解能化すると1組のスクリーンパターンデータに対する画素ブロックが大きくなり、SPMの容量も増大する。従って、より高分解能で高速に網かけ処理を行なうには、大容量で高速なSPMが必要になるという問題がある。

【0005】 この発明は、従来技術における上述の課題を解決するためになされたものであり、スクリーンパターンメモリとして高速で大容量のメモリを使用する必要がなく、高速に網かけ処理を行なうことのできる網点信号発生装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 上述の課題を解決するため、この発明による網点信号発生装置は、2次元座標面上の主走査方向および副走査方向に繰り返し適用される繰り返しブロック内において各座標位置に配列されたしきい値を記憶するスクリーンパターンメモリと、前記スクリーンパターンメモリ以上の読み出し速度を有するメモリで構成され、前記繰り返しブロックの主走査方向の少なくとも1繰り返し周期分の前記しきい値をそれぞれ記憶する容量の複数のラインメモリと、外部から与えられた副走査クロックに応じて、前記スクリーンパターンメモリから前記複数のラインメモリの1つに前記1繰り返し周期分のしきい値を転送する転送制御手段と、外部から与えられた主走査クロックに応じて、前記複数のラインメモリの他の1つから前記1繰り返し周期分のしきい値を読み出す読出し制御手段と、前記読出し制御手段により読出されたしきい値と画像信号とを比較することによって、2値化した網点信号を作成するコンパレータと、前記副走査クロックに応じて、前記複数のラインメ

モリの1つを選択して前記スクリーンパターンメモリに接続するとともに、前記複数のラインメモリの他の1つを選択して前記コンパレータに接続するラインメモリ切

換手段と、を備える。

【0007】スクリーンパターンメモリは、複数種類の網点についてのしきい値をそれぞれ記憶し、複数のラインメモリのそれぞれは、網点の種類数に応じた複数のラインメモリ要素を含み、転送制御手段は、ラインメモリ切

換手段によって前記スクリーンパターンメモリに接続

されたラインメモリに含まれる前記複数のラインメモリ要素に対して、前記複数種類の網点の前記1繰り返し周期分のしきい値をそれぞれ転送するとともに、読出し制

御手段は、前記ラインメモリ切換手段によって前記コンパレータに接続されたラインメモリに含まれる前記複数のラインメモリ要素の中で、外部から与えられた網点種

選択信号に応じて1つのラインメモリ要素を選択して読

出しを実行するのが好ましい。

【0008】

【作用】コンパレータは画像信号とラインメモリから読出したしきい値とを比較して網点信号を作成するので、

ラインメモリとしてスクリーンパターンメモリ以上の読出し速度を有するメモリを使用することによって、高速に網かけ処理を行なうことができる。また、スクリーン

パターンメモリからラインメモリに転送するしきい値は1繰り返し周期分でのよいので、そのしきい値の転送は比較的短時間で終了する。従って、スクリーンパターン

メモリとして高速のメモリを使用しなくても、網かけ処理の速度を低下させることなく網かけ処理としきい値転送とを並行して実行することができる。

【0009】また、複数種類の網点についてのしきい値を複数のラインメモリ要素に転送し、網点種選択信号に応じて複数のラインメモリ要素の中から1つを選択してスクリーンパターンメモリを読出すようにすれば、1つの画像内で複数の網点を選択して切換えながら網かけ処理を実行することができる。

【0010】

【実施例】A. 画像処理システムの全体構成

図1は、この発明の一実施例としての網点信号発生装置

を備えた画像処理システムを示すブロック図である。この画像処理システムは、画像編集装置20と、画像記録

装置30とを備えている。画像編集装置20は、絵柄、

文字、および図形の各画像要素を統合して画像を編集

し、その画像データを磁気ディスク22内に記憶する。

編集済みの画像データと画像に関する種々の属性情報と

は、画像編集装置20から画像記録装置30に転送さ

れ、ここで、感光フィルムなどの記録媒体42上に画像

が記録される。属性情報には、各画素について複数種類

の網点のいずれを適用するかを示す網点選択情報も含ま

れている。

【0011】画像編集装置20から与えられた編集済み

の画像データと属性情報とは、ラスタイメージプロセッサ32に与えられ、ここで画素濃度信号PDSと画素網種セレクト信号PSSとに変換される。画素網種セレクト信号PSSは、各画素について複数種類の網点のいずれを適用するかを示す信号である。画素濃度信号PDSと画素網種セレクト信号PSSは、ラスタイメージプロセッサ32から網点信号発生装置34に供給される。

【0012】網点信号発生装置34は、画素濃度信号PDSと画素網種セレクト信号PSSに基づいて網点信号DSを生成する。網点信号DSは、網点信号発生装置34からバッファユニット36に与えられる。バッファユニット36はnライン分のバッファメモリを有しており、nライン分の網点信号DSをnビットのビームON/OFF信号として出力する。また、このバッファユニット36は、それぞれnライン分の網点信号DSの値を記憶する2セットのメモリ362、364と、その前後に設けられたセクタ366、368とを有している。セクタ366、368によって2つのバッファメモリ362、364はトグル切換えされ、その一方が網点信号発生装置34に接続され、他方がレーザビーム発生装置38に接続される。

【0013】レーザビーム発生装置38は、nビットのビームON/OFF信号にそれぞれ応じてON/OFF制御されたn本のレーザビームを出力する。n本のレーザビームは記録ドラム40に載置された感光フィルム42を露光し、これによって画像が感光フィルム42上に記録される。

【0014】なお、画像記録装置30内の各構成要素は、制御部(CPU)44から与えられる制御信号に応じて動作する。また、網点信号発生装置34には、基準Xクロック信号XCL(副走査クロック)と、基準Yクロック信号YCL(主走査クロック)と、ラインエンド信号LENDとが与えられる。バッファユニット36には原Xクロック信号XCKと、原Yクロック信号YCKとが与えられる。原Xクロック信号XCKは、記録ドラム40の回転軸に連結されたエンコーダ46が記録ドラム40の1回転ごとに発生する信号である。原Yクロック信号YCKは、PLL回路48によって原Xクロック信号XCKの周波数を数倍に変換することによって生成される。原Xクロック信号XCK、原Yクロック信号YCKは、バッファユニット36においてnライン分に対応するように変換され、上述の基準Xクロック信号XCL、基準Yクロック信号YCLとなる。また、ラインエンド信号LENDは、カウンタ50が基準Yクロック信号YCLのパルス数をカウントし、そのカウント値が所定の値に達した時に生成される。ラインエンド信号LENDは、記録される画像の主走査方向範囲の後端を示す信号である。

【0015】B. 網点信号発生装置の構成

図2は、網点信号発生装置34の概略構成を示すブロッ

ク図である。網点信号発生装置34は、ホストインタフェイス62と、スクリーンパターンメモリ（SPM）64と、2セットのラインメモリ66、68と、ラインメモリの前後に配置されたデマルチプレクサ70およびマルチプレクサ72と、ラインメモリ制御部74と、コンパレータ76と、SPMデータ転送制御部80と、タイミング制御部90と、主走査アドレス発生部100とを備えている。SPM64以外の構成要素は1つのゲートアレイ内に集積されている。

【0016】SPM64はダイナミックRAMで構成されており、そのサイクルタイムは約150nsである。一方、ラインメモリ66、68はそれぞれスタティックRAMで構成されており、そのサイクルタイムは約25nsである。すなわち、ラインメモリ66、68は、SPM64に比べて高速のメモリで構成されている。また、SPM64は2種類の網点に対するスクリーンパターンデータのすべてを記憶する比較的大容量のメモリであり、ラインメモリ66、68はそれぞれ2種類の網点に対するスクリーンパターンデータを1繰り返し周期分だけ記憶する比較的小容量のメモリである。

【0017】SPM64に記憶されるスクリーンパターンデータSPDは画像信号と比較されるしきい値であり、網点の種類によってスクリーンパターンデータSPDの内容、すなわち、しきい値の配列はそれぞれ異なっている。なお、この実施例では図3に示す2種類の網点に対するスクリーンパターンデータSPD1、SPD2を利用する場合について説明する。第1のスクリーンパターンデータSPD1は、28×3画素マトリクスを1つの繰り返しブロックRB1とし、その各画素に0～83までの84階調のしきい値が割り当てられたデータである。また、第2のスクリーンパターンデータSPD2は、8×8画素マトリクスを1つの繰り返しブロックRB2とし、その各画素に0～63までの64階調のしきい値が割り当てられたデータである。なお、繰り返しブロックRB1、RB2は2次元座標面上の主走査方向および副走査方向に繰り返して適用される。ただし、図3では図示の便宜上、しきい値の一部のみが例示されている。

【0018】CPU44（図1）から与えられるスクリーンパターンデータSPDは、ホストインタフェイス62を介してSPM64に書き込まれる。この書き込み動作は、SPMデータ転送制御部80によって制御される。2セットのラインメモリ66、68はデマルチプレクサ70とマルチプレクサ72によってトグル切換されるトグルバッファとして構成されている。デマルチプレクサ70とマルチプレクサ72の切換は、ラインメモリ制御部74によって制御される。

【0019】SPM64に記憶されたスクリーンパターンデータSPDは、2セットのラインメモリ66、68に交互に転送される。この転送は、SPMデータ転送制

御部80とタイミング制御部90とによって制御される。ラインメモリ66は2つのラインメモリ要素66a、66bを有している。ラインメモリ68も同様に、2つのラインメモリ要素68a、68bを有している。第1のラインメモリ要素66a、68aは第1のスクリーンパターンデータSPD1を記憶し、第2のラインメモリ要素66b、68bは第2のスクリーンパターンデータSPD2を記憶する。各ラインメモリ要素は、各網点の繰り返しブロックの1繰り返し周期分のスクリーンパターンデータを記憶する。すなわち、第1のスクリーンパターンデータSPD1については28画素分のデータを記憶し、第2のスクリーンパターンデータSPD2については8画素分のデータを記憶する。なお、以下において使用する「スクリーンパターン」という用語は、各繰り返しブロックRB1、RB2内における1組のスクリーンパターンデータの配置を意味する。

【0020】2セットのラインメモリ66、68はマルチプレクサ72で切換えられて、その一方からスクリーンパターンデータが読出され、読出されたスクリーンパターンはコンパレータ76に与えられる。この読み出しは、主走査アドレス発生部100からマルチプレクサ72に与えられる主走査アドレスに応じて実行され、また、画素網種セレクト信号PSSに応じて2種類のスクリーンパターンデータの中の1つが選択されて読出される。

【0021】コンパレータ76は、マルチプレクサ72から与えられたスクリーンパターンデータSPDと画素濃度信号PDSとを比較し、これによって2値化された網点信号DSを発生する。感光フィルム42の一本の走査線上の網かけ処理においては、網点の繰り返しブロックの1繰り返し周期分のスクリーンパターンデータが繰り返して画像信号と比較される。従って、ラインメモリ66、68は、繰り返しブロックの少なくとも1繰り返し周期分のデータを記憶できる容量を有すればよい。

【0022】以上のように、この網点信号発生装置34では、SPM64に記憶されたスクリーンパターンデータSPDを1繰り返し周期分ずつラインメモリ66、68の一方に転送し、同時に、他方のラインメモリからスクリーンパターンデータSPDを読出して画素濃度信号PDSと比較することにより網点信号DSを生成する。ラインメモリ66、68としては比較的高速なメモリを使用しているため網点信号DSの生成を高速で行なうことができる。また、SPM64としては比較的低速なメモリを使用しているが、SPM64からラインメモリ66、68に転送するデータは、各網点の繰り返しブロックの主走査方向の1繰り返し周期に相当する画素数分だけなので、その転送に要する時間は網かけ処理に要する時間に比べて短くて済む。従って、この網点信号発生装置34によれば、網かけ処理を高速で実行することができる。

10

20

30

40

50

【0023】また、各ラインメモリ66、68はそれぞれ2つのラインメモリ要素を有しており、この内の一方から選択的にスクリーンパターンデータを読み出すことによって、画素毎に網点種類を選択して網かけ処理を行なうことができる。網点の種類が複数になった時にも、ラインメモリに記憶すべきデータ量は各網点に対して繰り返しブロックの少なくとも1繰り返し周期分あればよいのでラインメモリの容量が過度に大きくなることはない。従って、高速なラインメモリを他の回路とともに容易に集積化できるという利点がある。

【0024】C. 網点信号発生装置の詳細構成と動作  
図4は、SPMデータ転送制御部80の内部構成を示すブロック図である。SPMデータ転送制御部80は、SPMアドレスセクタ108と、転送アドレス発生部110と、初期アドレスレジスタ112a、112bと、スタートアドレスレジスタ114a、114bと、エンドアドレスレジスタ116a、116bとを備えている。転送アドレス発生部110は、読出しアドレス発生器118a、118bと書込みアドレス発生器120a、120bとを有している。SPMアドレスセクタ108は、タイミング制御部90から与えられる制御信号S108に従って、CPU44から与えられたSPM64のアドレスSPMADと、転送アドレス発生部110から与えられる読出しアドレスRAとのうちの1つを選択してSPM64に供給する。その他の構成要素の機能については後述する。

【0025】なお、SPMデータ転送制御部80の各構成要素のうち、符号の末尾に「a」が付くものは第1のスクリーンパターンデータSPD1に関するデータを処理する要素であり、符号の末尾に「b」が付くものは第2のスクリーンパターンデータSPD2に関するデータを処理する要素である。なお、2つスクリーンパターンデータに対する構成要素をまとめて示す時には、末尾の符号[a]、[b]を省略する。例えば、「書込みアドレス発生器120」と記したときには、2つの書込みアドレス発生器120a、120bを示している。この末尾の符号[a]、[b]の意味は、他の回路においても同様である。また、図4において「S1」、「S2」と記されているのは、それぞれ第1と第2のスクリーンパターンデータに関する構成要素であることを示している。

【0026】図5は、タイミング制御部90の内部構成を示すブロック図である。タイミング制御部90は、制御信号発生部122と、Yクロック分周器124a、124bと、Xクロック分周器126a、126bとを備えている。制御信号発生部122は、CPU44から与えられる制御信号SSを受取り、これに応じてラインメモリ制御部74に制御信号S74を与え、また、SPMデータ転送制御部80に制御信号S108、S110を、主走査アドレス発生部100に制御信号S130

a、S130bを与える。Yクロック分周器124a、124bは、PLL回路48（図1）から与えられた基準Yクロック信号YCLをそれぞれ所定の分周比で分周して、第1と第2の網点に使用される主走査方向のYクロック信号YCL1、YCL2を生成する。Xクロック分周器126a、126bは、エンコーダ46（図1）から与えられた基準Xクロック信号XCLをそれぞれ所定の分周比で分周して、第1と第2の網点に使用される副走査方向のXクロック信号XCL1、XCL2を生成する。タイミング制御部90で生成されたYクロック信号YCL1、YCL2は、主走査アドレス発生部100に与えられ、Xクロック信号XCL1、XCL2はSPMデータ転送制御部80に与えられる。なお、基準Xクロック信号XCLと基準Yクロック信号YCLとを分周する理由についてはさらに後述する。

【0027】図6は、主走査アドレス発生部100の内部構成を示すブロック図である。主走査アドレス発生部100は、Yアドレス発生器130a、130bと、Y初期アドレスレジスタ132a、132bと、Yスタートアドレスレジスタ134a、134bと、Yエンドアドレスレジスタ136a、136bとを備えている。ここで、各要素の名称の先頭に付されている「Y」は、主走査方向のデータを処理する要素であることを示している。これらの各構成要素の機能についてはさらに後述する。

【0028】図7は、網点信号発生装置34の動作の全体を示すタイミングチャートである。まず最初に、CPU44からホストインタフェース62を介してスクリーンパターンデータSPDが網点信号発生装置34に供給される。与えられたスクリーンパターンデータSPDは、SPM64に書き込まれる。図8は、SPM64に書き込まれたスクリーンパターンデータSPDの構成を示す説明図である。図8では、アドレス00h～53hの範囲に第1のスクリーンパターンデータSPD1が記憶されており、アドレス100h～13Fhの範囲に第2のスクリーンパターンデータSPD2が記憶されている。各アドレスには、それぞれ8ビットのしきい値が記憶されている。なお、「h」は16進数であることを示す。図8中の符号「S1」、「S2」は、それぞれ第1と第2のスクリーンパターンデータSPD1、SPD2を示している。また、符号「L1」は走査線の順序を示している。例えば、「S1-L1」は、第1のスクリーンパターンデータSPD1の第1の走査線のデータである。

【0029】SPM64内の各スクリーンパターンデータSPD1、SPD2に関しては、次の3つのアドレスが規定されている。

(1) スタートアドレスSTA1、STA2：SPM64におけるスクリーンパターンデータの先頭のアドレスを示す。

10

20

30

40

50

(2) エンドアドレスENDA1, ENDA2:SPM64におけるスクリーンパターンデータの後端のアドレスを示す。

(3) 初期アドレスINIA1, INIA2:スクリーンパターンデータをラインメモリ66、68に読出す際に最初に読出されるデータのアドレスを示す。初期アドレスINIA1、INIA2は、走査線の先頭のデータのアドレスのいずれか1つに設定される。

これらの3種類のアドレスは、CPU44から与えられてSPMデータ転送制御部80内のレジスタ112、114、116(図4参照)にそれぞれ登録される。

【0030】図9は、記録画像上における各網点の繰り返しブロックRB1、RB2と、上述の各アドレスとの関係を示す説明図である。図9において、一点鎖線は第1のスクリーンパターンデータSPD1の繰り返しブロックRB1であり、破線は第2のスクリーンパターンデータSPD2の繰り返しブロックRB2である。また、X軸とY軸は、記録画像の副走査方向と主走査方向の画素座標である。初期アドレスINIA1、INIA2は、記録画像の原点に対する各網点の繰り返しブロックの副走査方向Xのオフセットを表わしている。すなわち、記録画像の原点位置の画素には、初期アドレスINIA1、INIA2で示される副走査位置のスクリーンパターンデータが適用される。なお、図9では主走査方向Yのオフセットがない場合を示している。

【0031】SPM64は、CPU44のメモリマップ上に割り当てられており、各網点に対するスタートアドレスSTA1、STA2とエンドアドレスENDA1、ENDA2はCPU44によって決定され、網点信号発生装置34に供給される。また、オフセットは画像編集装置20が作成する属性情報に含まれており、これをCPU44が解読して初期アドレスINIA1、INIA2を生成し、網点信号発生装置34に供給する。

【0032】第1のスクリーンパターンデータSPD1に関するアドレスSTA1, ENDA1, INIA1はレジスタ112a, 114a, 116aにそれぞれ記憶され、第2のスクリーンパターンデータSPD2に関するアドレスSTA2, ENDA2, INIA2はレジスタ112b, 114b, 116bにそれぞれ記憶される。

【0033】SPM64にスクリーンパターンデータSPDが書き込まれると、CPU44から網点信号発生装置34に動作開始コマンドが与えられる。動作開始コマンドが与えられると、図7に示すように、SPM64内の1走査線分のスクリーンパターンデータSPDがラインメモリ66に転送される。なお、このデータ転送は、SPMデータ転送制御部80(図4)によって制御される。データ転送の際には、読出しアドレス発生器118がSPM64の読出しアドレスRAを発生し、書込みアドレス発生器120がラインメモリ66、68の書込み

アドレスWAを発生する。

【0034】図10は、ラインメモリ66に書き込まれたスクリーンパターンデータの構成を示す説明図である。第1の網点用のラインメモリ66aには、初期アドレスINIA1(図8)で示される走査線L2のスクリーンパターンデータSPD1が記憶される。同様に、第2の網点用のラインメモリ66bには、初期アドレスINIA2で示される走査線L4のスクリーンパターンデータSPD2が記憶される。

【0035】図10に示すように、ラインメモリ66に記憶されたデータに関しては、次の3種類のアドレスが規定されている。

(1) YスタートアドレスYSTA1, YSTA2:ラインメモリ66におけるスクリーンパターンデータの先頭のアドレスを示す。

(2) YエンドアドレスYENDA1, YENDA2:ラインメモリ66におけるスクリーンパターンデータの後端のアドレスを示す。

(3) Y初期アドレスYINIA1, YINIA2:スクリーンパターンデータを読出す際に最初に読出されるデータのアドレスを示す。

【0036】前述したように、図8に示す3種類のアドレスはSPM64のアドレスであり、SPM64からラインメモリ66、68にスクリーンパターンデータSPDを転送する際に使用される。一方、図10に示す3種類のアドレスはラインメモリ66のアドレスであり、ラインメモリ66からコンパレータ76にスクリーンパターンデータSPDを読出す際に使用される。図8の初期アドレスINIA1, INIA2が画像の副走査方向のオフセットを表わしていたのに対して、図10のY初期アドレスYINIA1, YINIA2は、主走査方向のオフセットを表わしている。図11は、記録画像上における各網点の繰り返しブロックRB1, RB2と、上述のアドレスINIA, YINIAの関係を示す説明図である。図11に示すように、記録画像の原点の画素には、アドレス(INIA1, YINIA1)、(INIA2, YINIA2)で示されるスクリーンパターンがそれぞれ適用される。図8、図10および図11で示される例では、第1と第2の網点に関するオフセットはそれぞれ(2, 4)および(4, 3)である。このように、主走査方向と副走査方向とに網点のオフセットをそれぞれ設定できるようにすれば、複数の色版を刷り重ねて印刷物を作成する際に発生するモアレを抑制する上で効果がある。なお、網点のオフセットとモアレとの関係については、特開平2-134635号公報に開示されているので、ここでの説明を省略する。

【0037】主走査方向のYスタートアドレスYSTA1, YSTA2とYエンドアドレスYENDA1, YENDA2はCPU44によって決定され、網点信号発生装置34に供給される。また、オフセットは画像編集装

置20が作成する属性情報に含まれており、これをCPU44が解読してY初期アドレスYINIA1、YINIA2を生成し、網点信号発生装置34に供給する。これらのアドレスは、主走査アドレス発生部100内のアドレスレジスタ132、134、136に登録される(図6)。

【0038】図12および図13は、スクリーンパターンデータをSPM64からラインメモリ66、68に転送する処理手順を示すフローチャートである。図12の処理は、制御信号発生部122(図5)に与えられる基準Xクロック信号XCLに応じて開始される。ステップT1では、2つのスクリーンパターンデータに関する初期アドレスINIA1、INIA2が、初期アドレスレジスタ112a、112bから読出してアドレス発生器118a、118bにそれぞれ供給される(図4)。ステップT2では、Yスタートアドレスレジスタ134a、134b(図6)に登録されていたYスタートアドレスYSTA1、YSTA2が、SPMデータ転送制御部80内の書込みアドレス発生器120a、120bに転送される(図4)。

【0039】ステップT3では、読出しアドレス発生器118のアドレス値が、処理ライン読出しスタートアドレスとして転送アドレス発生部110内に記憶される。初期アドレスINIA1、INIA2で規定される第1番目の走査線のデータを転送する際には、ステップT1において転送アドレス発生部110に与えられた初期アドレスINIA、INIA2が処理ライン読出しスタートアドレスとなる。

【0040】図13のステップT4~T8は、第1のスクリーンパターンデータSPD1を転送する処理であり、ステップT9~T13は、第2のスクリーンパターンデータSPD2を転送する処理である。ステップT4では、書込みアドレス発生器120のアドレス値(以下、「書込みアドレスWA」と呼ぶ)がYエンドアドレスYENDA1と比較される。書込みアドレスWAは、ラインメモリ66に与えられるアドレスである。転送開始時点における書込みアドレスWAは、ステップT2で転送されたYスタートアドレスYSTA1になっている。

【0041】ステップT4において書込みアドレスWAがYエンドアドレスYENDA1以下の場合には、ステップT5においてSPM64内のスクリーンパターンデータSPD1を1バイトだけラインメモリ66aに転送する。この際、読出しアドレス発生器118からSPMアドレスセクタ108を介してSPM64に読出しアドレスRAが与えられ、この読出しアドレスRAのデータが1バイト読出される。また、書込みアドレスWAが書込みアドレス発生器120からラインメモリ66aに与えられ、SPM64から読出されたデータがこの書込みアドレスWAに書き込まれる。具体的に言えば、図8

の初期アドレスINIA1で示される1バイトのデータが、図10のYスタートアドレスYSTA1の位置に転送される。

【0042】ステップT6では、読出しアドレス発生器118a内の読出しアドレスRAと書込みアドレス発生器120a内の書込みアドレスWAがそれぞれ1ずつインクリメントされる。そして、ステップT4~T6を繰り返すことによって、1繰り返し周期分のスクリーンパターンデータSPD1が転送される。

【0043】1繰り返し周期分のデータの転送が終了すると、ステップT4において書込みアドレスWAがYエンドアドレスYENDA1よりも大きくなり、ステップT7に移行する。ステップT7では、読出しアドレスRAとエンドアドレスYENDA1とが比較される。エンドアドレスYENDA1は、図8に示すように、このスクリーンパターンデータSPD1のデータの後端のアドレスを示す。そこで、読出しアドレスRAがエンドアドレスYENDA1よりも大きいときには、スタートアドレスレジスタ114aに登録されているスタートアドレスSTA1が、読出しアドレス発生器118aに転送されて記憶される。この結果、次の走査線のデータを転送する際には、スタートアドレスSTA1で示されるデータから転送が実行されることになる。

【0044】ステップT9~T13はステップT4~T8とそれぞれ同じ処理なので、説明を省略する。こうして、2つの網点について1繰り返し周期分のスクリーンパターンデータがラインメモリ66a、66bにそれぞれ転送される(図10)。

【0045】データ転送が終了すると、タイミング制御部90がラインメモリ制御部74に制御信号S74を与え、デマルチプレクサ70(図2)をラインメモリ68側に切り換えるとともに、マルチプレクサ72をラインメモリ66側に切り換える。この後、基準Xクロック信号XCLのパルスがタイミング制御部90に与えられると、タイミング制御部90が各回路に制御信号を与え、図7に示すように網かけ処理とデータの転送とが並行して実行される。

【0046】図14は、網かけ処理の手順を示すフローチャートである。ここでは、第1のスクリーンパターンデータSPD1を用いた網かけ処理について説明するが、第2のスクリーンパターンデータSPD2についても同じ処理が実行される。ステップT31では、Y初期アドレスYINIA1がY初期アドレスレジスタ132aからYアドレス発生器130aに供給される(図6)。ステップT32では、Yアドレス発生器130aにおけるアドレス値(YアドレスYAD1)がYエンドアドレスYENDA1と比較される。網かけ処理の開始時点では、YアドレスYAD1はY初期アドレスYINIA1であり、YエンドアドレスYENDA1よりも小さいので、ステップT32からステップT34に移行す

る。

【0047】ステップT34では、YアドレスYAD1がYアドレス発生器130aからマルチプレクサ72を介してラインメモリ66に与えられ、これに応じてラインメモリ66からスクリーンパターンデータSPD1が1バイト読出される。そして、読出されたスクリーンパターンデータSPD1がマルチプレクサ72を介してコンパレータ76に与えられ、画素濃度信号PDSと比較される(図2)。コンパレータ76は、スクリーンパターンデータSPD1と画素濃度信号PDSとを比較し、比較結果に応じた2値の網点信号DSを生成する。例えば $PDS \geq SPD1$ の時には網点信号DSをHレベルとし、 $PDS < SPD1$ の時には網点信号DSをLレベルとする。

【0048】なお、ステップT34においては、第1と第2の網点のスクリーンパターンデータSPD1、SPD2が双方ともマルチプレクサ72に与えられ、その一方が画素網種セレクト信号PSSに応じて選択されて、画素濃度信号PDSと比較される。言い換えれば、網かけ処理に使用するスクリーンパターンを画素網種セレクト信号PSSに応じて画素ごとに選択していることを意味しており、これは、感光フィルム42上の同じ座標に対して選択可能な2種類のスクリーンパターンが存在するのと等価である。

【0049】なお、画素網種セレクト信号PSSは基準Yクロック信号YCLに同期して画素ごとにマルチプレクサ72に与えられる。各画素に対して2つのスクリーンパターンのいずれを適用するかは画像編集装置20における画像の編集の際にオペレータが指定し、この結果が属性情報に含まれる。ラストイメージプロセッサ32(図1)は、この属性情報に基づいて画素網種セレクト信号PSSを生成し、マルチプレクサ72に供給する。

【0050】図14に戻り、ステップT34における網かけ処理の後、ステップT35においてラインエンド信号LENDが制御信号発生部122に与えられなければ処理を継続し、ステップT36でYクロック信号YCL1がYアドレス発生器130a(図6)に与えられるまで待機する。ステップT36においてYクロック信号YCL1が供給されると、ステップT37においてYアドレス発生器130aがYアドレスYAD1を1つインクリメントする。

【0051】次に、ステップT32においてYアドレスYAD1とYエンドアドレスYENDA1とが比較される。YアドレスYAD1はステップT37でインクリメントされており、 $YAD1 > YENDA1$ の場合にはステップT33においてYスタートアドレスYSTA1がYアドレス発生器130aに与えられ、新たなYアドレスYAD1として記憶される。

【0052】ステップT32、T33の処理は、記録ドラム40の同じ走査線上において、ラインメモリ66a

内のデータを繰り返し使用するための処理である。すなわち、図10に示すように、ラインメモリ66a内のスクリーンパターンデータSPD1は、まずY初期アドレスYINIA1のデータから読出され、YエンドアドレスYENDA1まで読出されると、YスタートアドレスYSTA1に戻ってラインメモリ66aの先頭からデータが読出される。こうして、ラインメモリ66aに記憶された1繰り返し周期分のスクリーンパターンデータが繰り返し読出されて、画素濃度信号PDSと比較される。ラインメモリ66b内のデータも同様である。

【0053】こうして、ステップT35においてラインエンド信号LENDがタイミング制御部90に与えられるまでステップT32~T37が繰り返し実行され、記録ドラム40の1本の走査線における網かけ処理が終了する。

【0054】なお、図7に示すように、網かけ処理と並行してデータ転送も実行される。すなわち、ラインメモリ66に記憶されたスクリーンパターンデータSPDを用いて網かけ処理を行なっている間に、他方のラインメモリ68に2番目の繰り返し周期分のスクリーンパターンデータがSPM64から転送される。

【0055】2番目以降の繰り返し周期に関するスクリーンパターンデータを転送する際には、図12のステップT21~T24が実行される。前述したように、図12の処理は、制御信号発生部122(図5)に与えられた基準Xクロック信号XCLに応じて開始される。ステップT21では、第1のスクリーンパターンに関するXクロック信号XCL1が制御信号発生部122に入力されたか否かが判断される。基準Xクロック信号XCLはXクロック分周器126aで分周されているので、基準Xクロック信号XCLが制御信号発生部122に与えられたときに、第1のスクリーンパターン用のXクロック信号XCL1が制御信号発生部122に入力されない場合もある。Xクロック信号XCL1が入力されていない場合には、制御信号発生部122から制御信号S110が転送アドレス発生部110に与えられ、これに従ってステップT22が実行される。ステップT22では、直前の繰り返し周期においてステップT3で記憶されていた処理ライン読出しスタートアドレスが読出しアドレス発生器118aのアドレス値RAとして登録される。この結果、基準Xクロック信号XCLとともにXクロック信号XCL1が与えられなかった時には、1繰り返し周期前に転送されたデータと同じデータが転送される。これについては基準Xクロック信号を分周する効果とともに後述する。

【0056】ステップT23、T24は、ステップT21、T22と同じ処理を第2のスクリーンパターンに行なう手順である。ステップT24で読出しアドレスRAが設定されると、ステップT2に移行し、第2のラインメモリ68にデータが転送される。

10

20

30

40

50

【0057】図15は、2つのラインメモリ66、68に記憶されたスクリーンパターンデータSPDを示す説明図である。第1のラインメモリ66に記憶されたスクリーンパターンデータSPDは読出されてコンパレータ76に与えられ、画素濃度信号PDSと比較される。一方、第2のラインメモリ68には、SPM64からスクリーンパターンデータSPDが書き込まれる。なお、2つのラインメモリ66、68において、Y初期アドレスYINIA1と、YスタートアドレスYSTA1と、YエンドアドレスYENDA1の値はそれぞれ共通である。すなわち、どの繰り返し周期に対してもこれらのアドレスは同じである。なお、第2のスクリーンパターンに関するこれらのアドレスも同様である。

【0058】図7に示すように、基準Xクロック信号XCLが網点信号発生装置34に与えられるたびに走査線が更新され、網かけ処理とデータ転送とが並行して実行される。なお、ラインメモリ66、68に転送するデータ量は少ないので、網かけ処理に要する時間の一部でデータ転送が終了する。従って、データ転送を並行して行なうことによって網かけ処理の処理速度を低下させることが無い。

【0059】このように、上記実施例では、比較的低速なSPM64と比較的高速なラインメモリ66、68とを使用し、スクリーンパターンデータSPDを繰り返しブロックの1繰り返し周期分ずつラインメモリ66、68に転送し、このデータ転送と並行して網かけ処理をするようにした。従って、ラインメモリ66、68としては、各網点に対して、繰り返しブロックの1繰り返し周期分のデータを記憶できる小容量で高速なメモリを使用すればよいという利点がある。

【0060】C. クロック信号の分周の効果  
スクリーン線数(線/インチ)の低い網点を、出力分解能(dpi)の高い記録装置で記録する場合に、網点の繰り返しブロックが大きくなってしまふことがある。例えば、スクリーン線数が150線/インチの網かけ処理を3000dpiの記録装置で行なうと、網点の繰り返しブロックの一边は20画素(=3000÷150)である。また、スクリーン線数が75線/インチの網かけ処理を3000dpiの記録装置で行なうと、網点の繰り返しブロックの一边は40画素(=3000÷75)であり、一边の長さが150線/インチの2倍、面積では4倍になる。実際には、15度や75度などの角度を持った網点を作成する際には、1つの繰り返しブロックの大きさが、さらに大きくなるので、ラインメモリ66、68の容量も大きなものが必要となる。

【0061】基準クロック信号XCL、YCLを分周する分周器124、126(図5)は、記録画像のスクリーン線数を変更することができるようにするために設けられている。また、この網点信号発生装置34では、以下に示すように、出力分解能の高い記録装置でスクリー

ン線数の小さな網点を記録する場合に、1つの繰り返しブロックのデータ量を小さくすることができるよう構成されている。

【0062】図16は、基準クロック信号XCL、YCLの分周によってスクリーン線数を変更する様子を示す説明図である。図16では、基準クロック信号XCL、YCLをそのまま用いた場合の第2の網点S2aの繰り返しパターンRB2aと、基準クロック信号XCL、YCLを1/2に分周した場合の第2の網点S2bの繰り返しパターンRB2bとを比較して示している。基準クロック信号を分周比2で分周すると、記録画素の一边の長さが2倍になる。一般に、基準クロック信号を分周比Mで分周すると、記録画素の一边の長さがM倍になる。従って、分周比を調整することによって記録画素の大きさを調整することができる。分周器124、126の分周比はそれぞれCPU44から設定することが可能である。

【0063】スクリーンパターンデータSPDの転送の際には、図12のステップT23において、分周されたXクロック信号XCL2が基準Xクロック信号XCLとともに与えられなかった時にはステップT24が実行され、この結果、1繰り返し周期前に転送されたデータと同じデータがラインメモリ66または68に転送される。すなわち、Xクロック信号XCL2が入力されるときにのみスクリーンパターンの繰り返し周期が更新される。一方、網かけ処理においては、ラインメモリ66からスクリーンパターンデータSPDを読み出す際には、分周されたYクロック信号YCL1に応じてデータが読出される。この結果、図16に示すように、記録画像上における網点の大きさが分周比に比例して増大する。

【0064】図16の網点S2bは網点S2aの2倍の大きさを有するが、網かけに使用されるデータのデータ量はどちらも同じである。このように、分周器124、126で分周されたクロック信号を利用することによって、1つの繰り返しブロックのデータ量を保ったままでスクリーン線数を変更することができるという利点がある。

#### 【0065】D. 変形例

なお、この発明は上記実施例に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0066】(1) 上記実施例では、ラインメモリ66、68にそれぞれ2種類のスクリーンパターンデータSPDが記憶できるものとしたが、それぞれ1種類のスクリーンパターンデータSPDを記憶するものとしてもよく、また、3種類以上のスクリーンパターンデータSPDを記憶できるものを使用してもよい。3種類以上のスクリーンパターンデータSPDを記憶する場合には、他の回路部分もスクリーンパターンデータSPDの種類



に応じて増加する。なお、スクリーンパターンデータSPDの種類の違いは、スクリーン線数の違いだけでなく、網点形状の違いであってもよい。

【0067】(2) 上記実施例では、SPM64をDRAMで構成し、ラインメモリ66、68をより高速なSRAMで構成していたが、これらを同じタイプのメモリを使用してもよい。この場合にも、ラインメモリ66、68からデータを読出す際に使用される回路を高速化することによって、比較的容易に網かけ処理を高速化することができる。特に、ラインメモリ66、68からデータ

を読出す際に使用される回路を1つのICに集積化すれば、より高速化が可能である。

【0068】(3) 図17は、この発明の他の実施例を示すブロック図である。図17は、図1におけるCPU44と網点信号発生装置34(図2)とを含む部分に対応する。図17の装置では、図2のSPM64の変わりにCPUバス200に接続されたメモリ202が使用され、SPMデータ転送制御部80の変わりにダイレクトメモリアクセスコントローラ(DMAC)204が使用される。CPUバス200には、I/Oインタフェース

206を介してハードディスク208も接続されている。

【0069】メモリ202からラインメモリ66、68に転送されるスクリーンパターンデータSPDのデータ量は少ないので、DMAC204で転送を制御しても、網かけ処理に要する時間内でデータ転送を行なうことが可能である。ただし、図2に示すように、専用のSPMデータ転送制御部80を用いてデータ転送を行なうようにすれば、より高速にデータ転送を行なうことが可能である。例えば、スクリーンパターンデータSPDの種類

が多く、データ転送量が大きくなった場合には図2に示す構成が好ましい。

【0070】(4) 以上の実施例および変形例は、1主走査線で2色あるいは4色の複数色版記録を行う場合にも適用できる。

#### 【0071】

【発明の効果】以上説明したように、本発明の網点信号発生装置によれば、コンパレータが、画像記号とラインメモリから読出した1繰り返し周期分のしきい値とを比較して網点信号を作成するので、ラインメモリとしてスクリーンパターンメモリ以上の読出し速度を有するメモリを使用することによって、高速に網かけ処理を行なうことができる。また、スクリーンパターンメモリからラインメモリに転送するしきい値は1繰り返し周期分なので、スクリーンパターンメモリとして高速のメモリを使用しなくても、網かけ処理の速度を低下させることなくしきい値の転送を実行することができる。すなわち、本発明の網点信号発生装置は、スクリーンパターンメモリとして高速で大容量のメモリを使用する必要がなく、高速に網かけ処理を行なうことができるという効果

がある。

【0072】また、複数種類の網点についてのしきい値を複数のラインメモリ要素に転送し、網点種選択信号に応じて複数のラインメモリ要素の中から1つを選択してスクリーンパターンメモリを読出すようにすれば、1つの画像内で複数の網点を選択して切換えながら網かけ処理を実行することができるという効果がある。網点種類が増加するとスクリーンパターンメモリとしては大容量のメモリが必要になるが、ラインメモリを利用しているので、スクリーンパターンメモリの容量を増大させても網かけ処理の処理速度を低下させることがないという効果がある。

#### 【図面の簡単な説明】

【図1】この発明の一実施例としての網点信号発生装置を備えた画像処理システムを示すブロック図。

【図2】網点信号発生装置34の概略構成を示すブロック図。

【図3】2種類の網点のスクリーンパターンデータSPD1、SPD2のしきい値の配列を示す説明図。

【図4】SPMデータ転送制御部80の内部構成を示すブロック図。

【図5】タイミング制御部90の内部構成を示すブロック図。

【図6】主走査アドレス発生部100の内部構成を示すブロック図。

【図7】網点信号発生装置34の動作の全体を示すタイミングチャート。

【図8】SPM64に書き込まれたスクリーンパターンデータSPDの構成を示す説明図。

【図9】記録画像上における各網点の繰り返しブロックと各アドレスとの関係を示す説明図。

【図10】ラインメモリ66に書き込まれたスクリーンパターンデータSPDの構成を示す説明図。

【図11】記録画像上における各網点の繰り返しブロックとオフセットを示すアドレスINIA、YINIAの関係を示す説明図。

【図12】スクリーンパターンデータ転送の処理手順を示すフローチャート。

【図13】スクリーンパターンデータ転送の処理手順を示すフローチャート。

【図14】網かけ処理の手順を示すフローチャート。

【図15】2つのラインメモリ66、68に記憶されたスクリーンパターンデータSPDを示す説明図。

【図16】クロック信号の分周によるスクリーン線数の変更を示す説明図。

【図17】この発明の他の実施例を示すブロック図。

#### 【符号の説明】

20 画像編集装置

30 画像記録装置

32 ラスタイメージプロセッサ

19

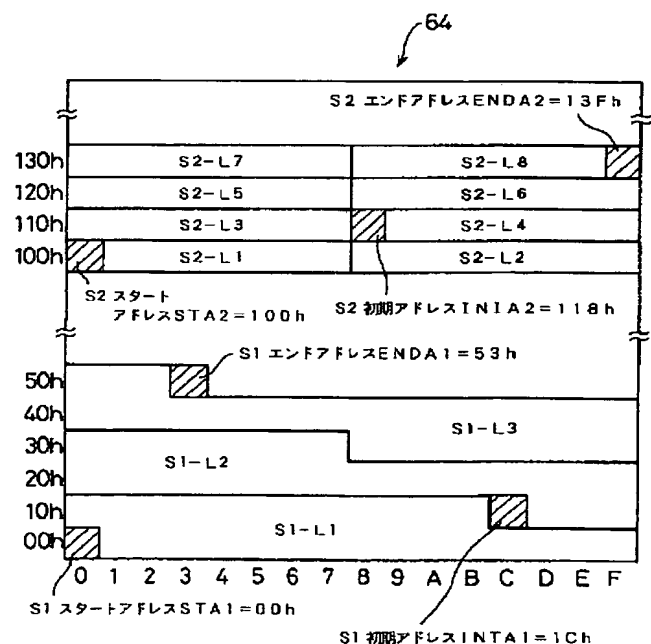
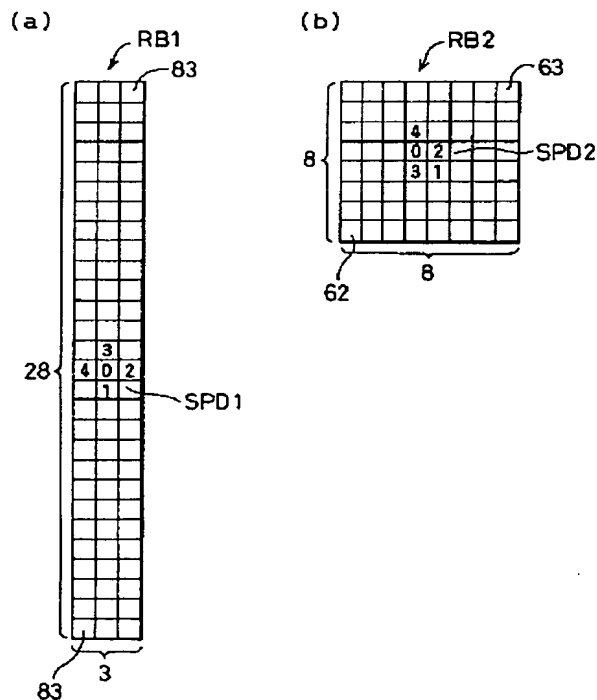
20

34 網点信号発生装置  
 36 バッファユニット  
 38 レーザビーム発生装置  
 40 記録ドラム  
 42 感光フィルム  
 44 CPU  
 46 エンコーダ  
 48 PLL回路  
 50 カウンタ  
 62 ホストインタフェイス  
 64 スクリーンパターンメモリ (SPM)  
 66 ラインメモリ  
 68 ラインメモリ  
 70 デマルチプレクサ  
 72 マルチプレクサ  
 74 ラインメモリ制御部  
 76 コンパレータ  
 80 SPMデータ転送制御部  
 90 タイミング制御部  
 100 主走査アドレス発生部  
 108 SPMアドレスセクタ  
 110 転送アドレス発生部  
 112 初期アドレスレジスタ  
 118 アドレス発生器  
 120 アドレス発生器  
 122 制御信号発生部  
 124 分周器

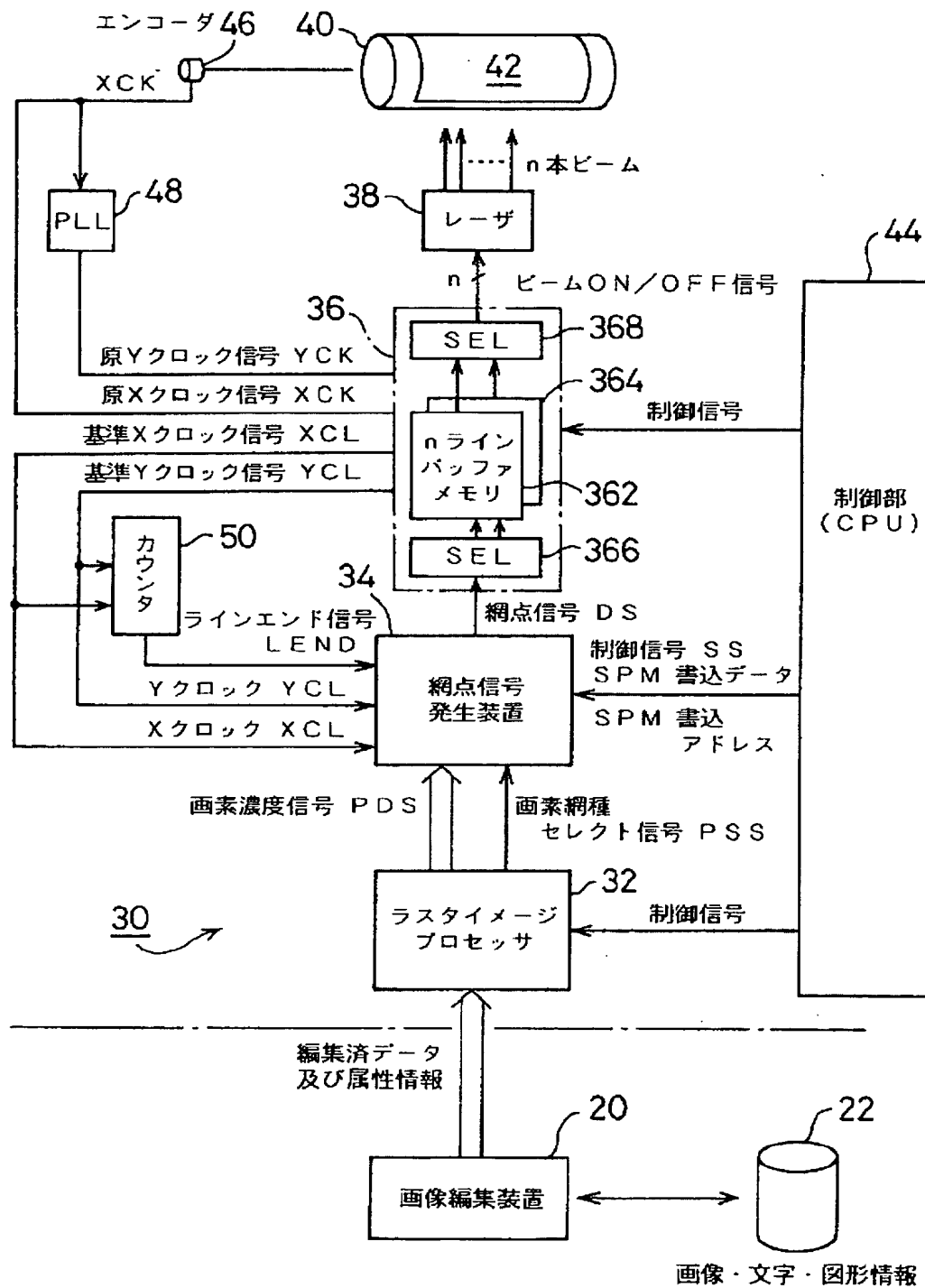
132 アドレスレジスタ  
 200 CPUバス  
 202 メモリ  
 208 ハードディスク  
 362 バッファメモリ  
 362 メモリ  
 366 セレクタ  
 DS 網点信号  
 ENDA1, ENDA2 エンドアドレス  
 10 INIA1, ENDA2 初期アドレス  
 LEND ラインエンド信号  
 PDS 画素濃度信号  
 PSS 画素網種セレクト信号  
 RA 読出しアドレス  
 SPD1, SPD2 スクリーンパターンデータ  
 STA1, STA2 スタートアドレス  
 WA アドレス  
 X 副走査方向  
 XCL 基準Xクロック信号  
 20 XCL1, XCL2 Xクロック信号  
 Y 主走査方向  
 YAD Yアドレス  
 YCL 基準Xクロック信号  
 YCL1, YCL2 Yクロック信号  
 YENDA1, YENDA2 Yエンドアドレス  
 YINIA1, YINIA2 Y初期アドレス  
 YSTA1, YSTA2 Yスタートアドレス

【図3】

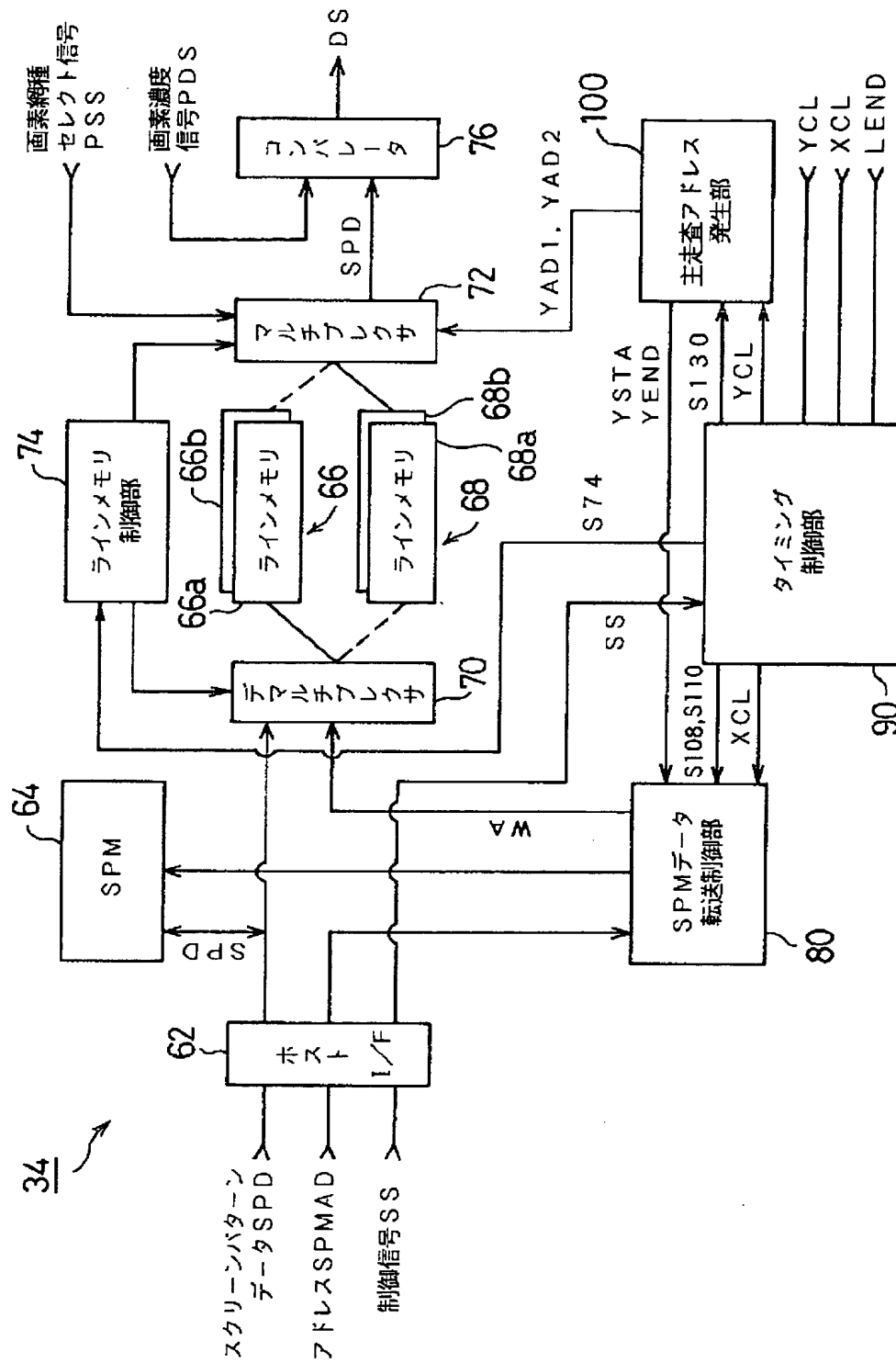
【図8】



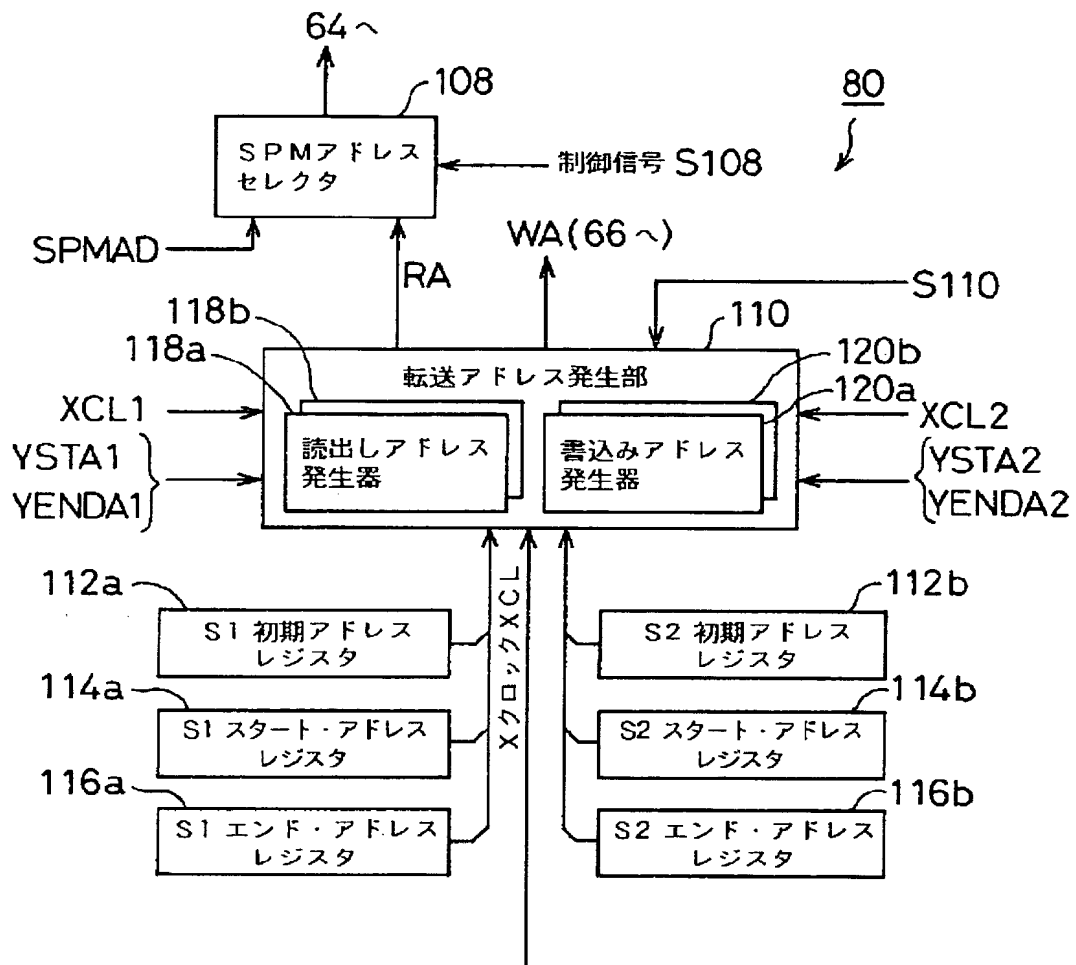
【図1】



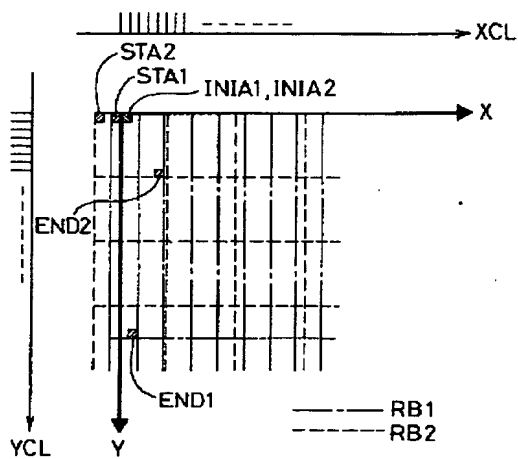
【図2】



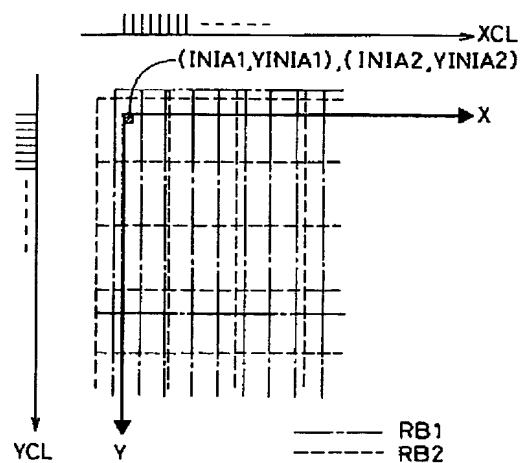
【図4】



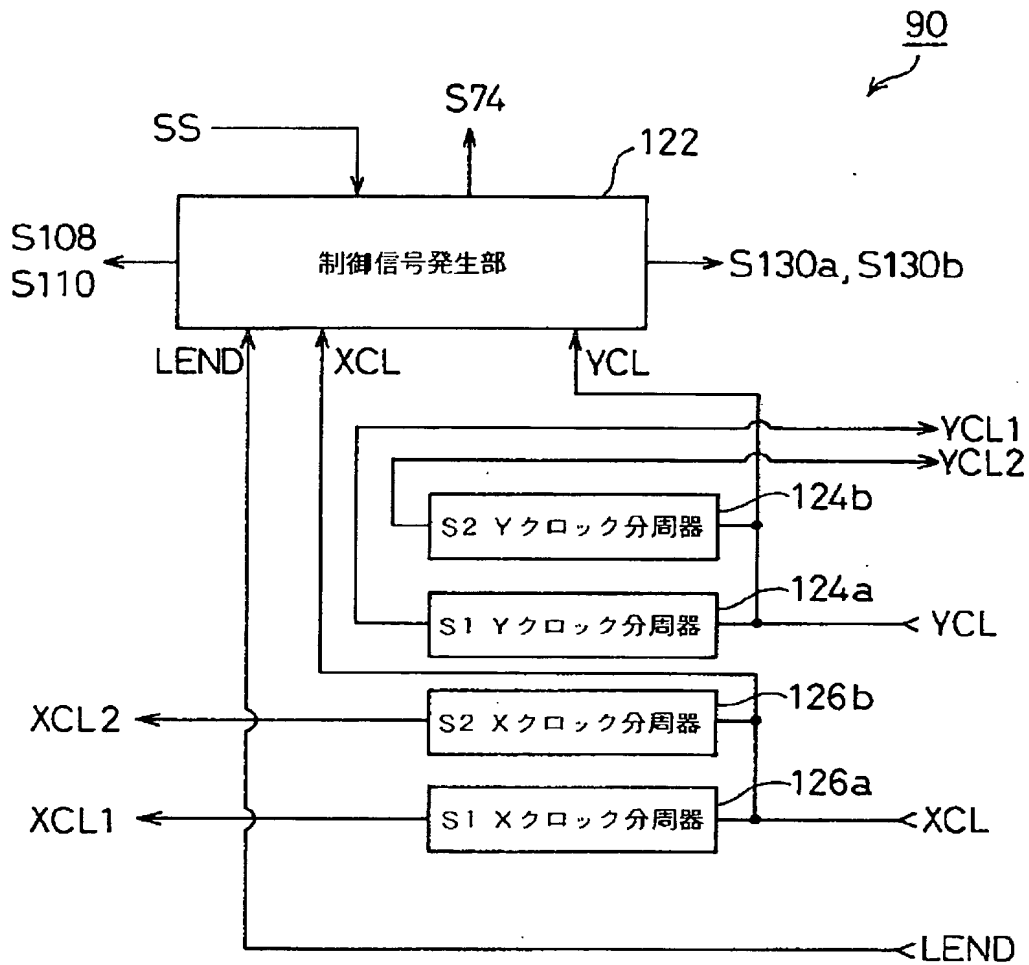
【図9】



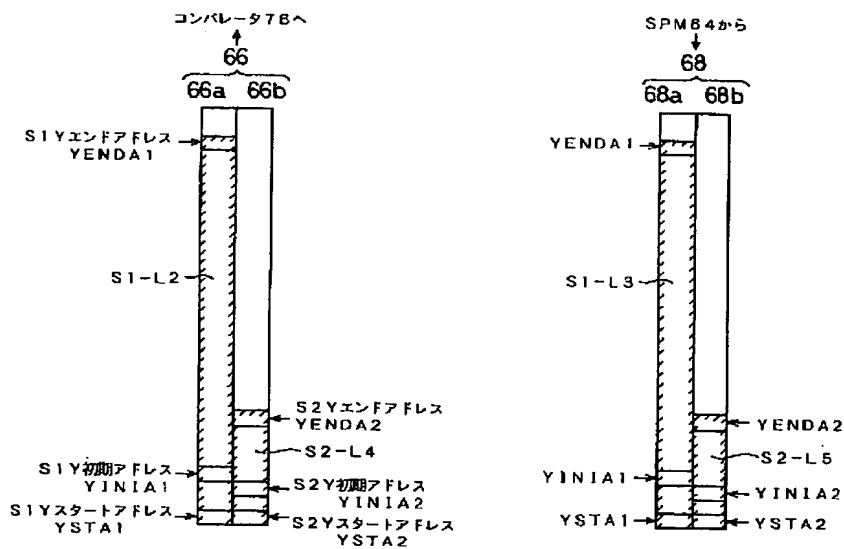
【図11】



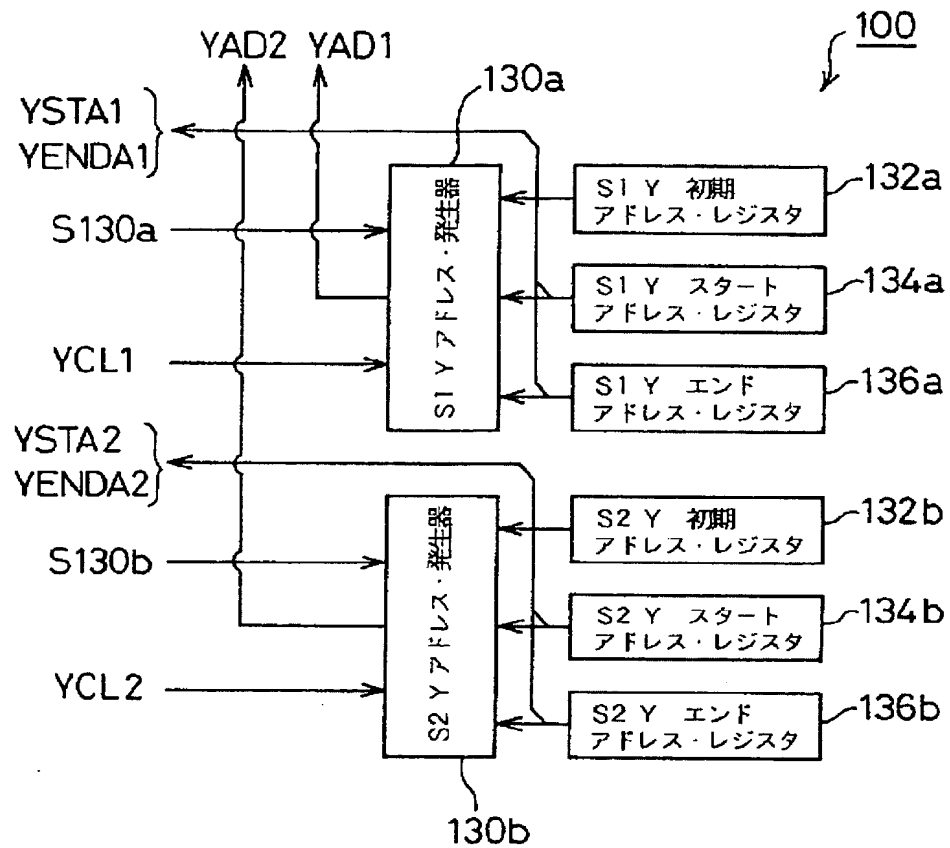
【図 5】



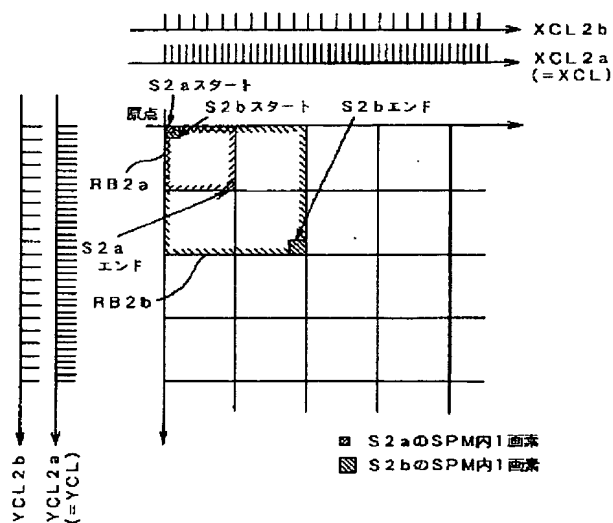
【図 15】



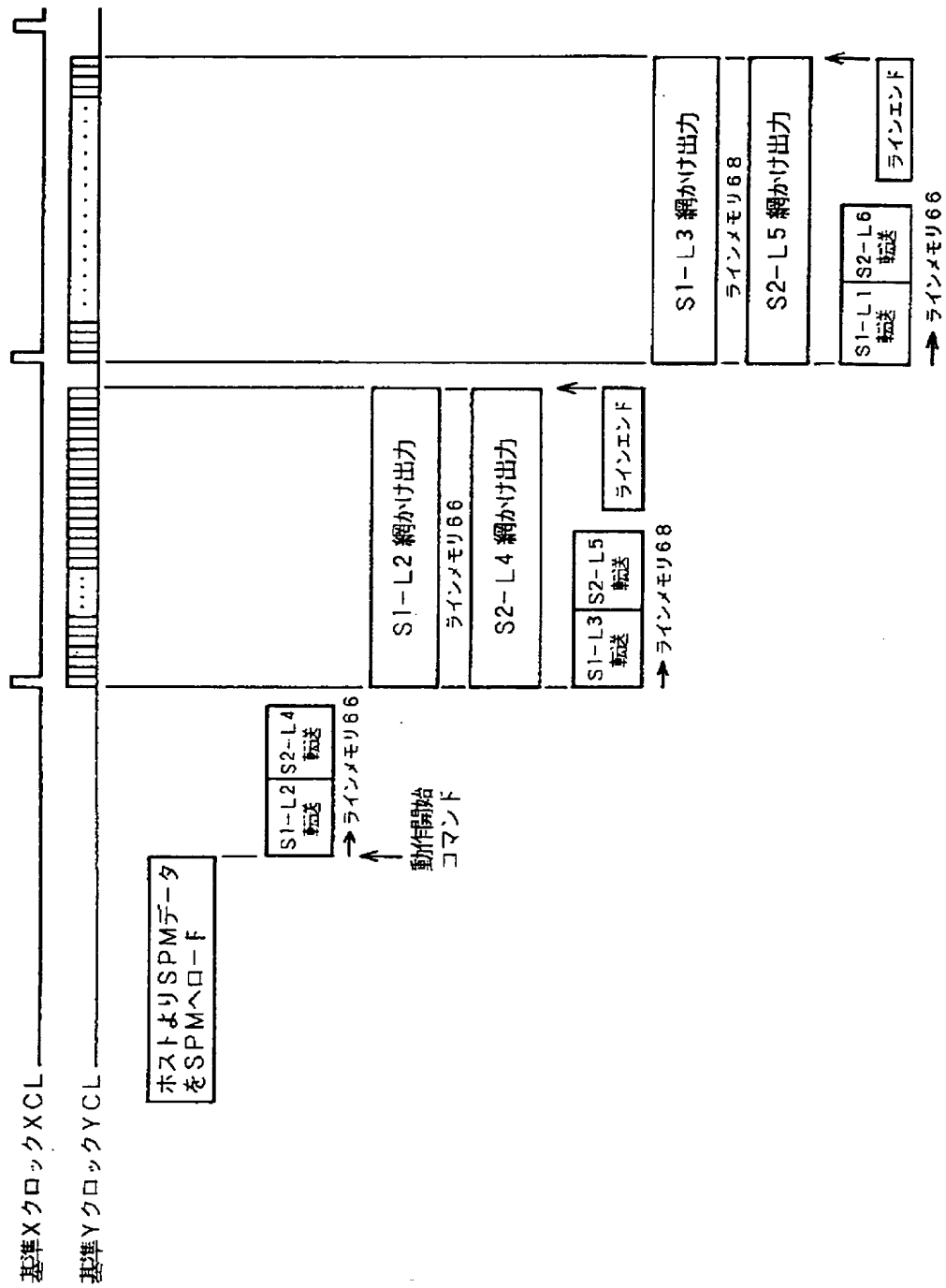
【図6】



【図16】

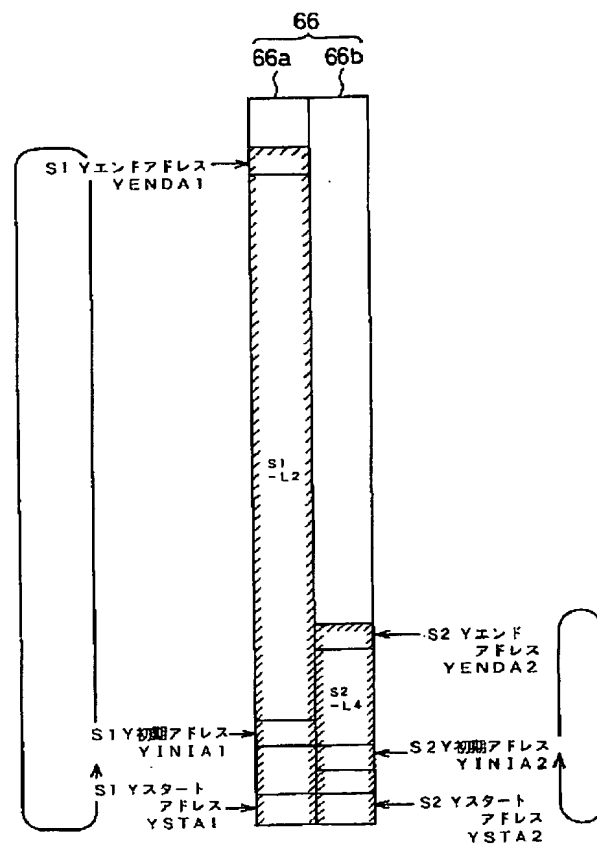


【図 7】

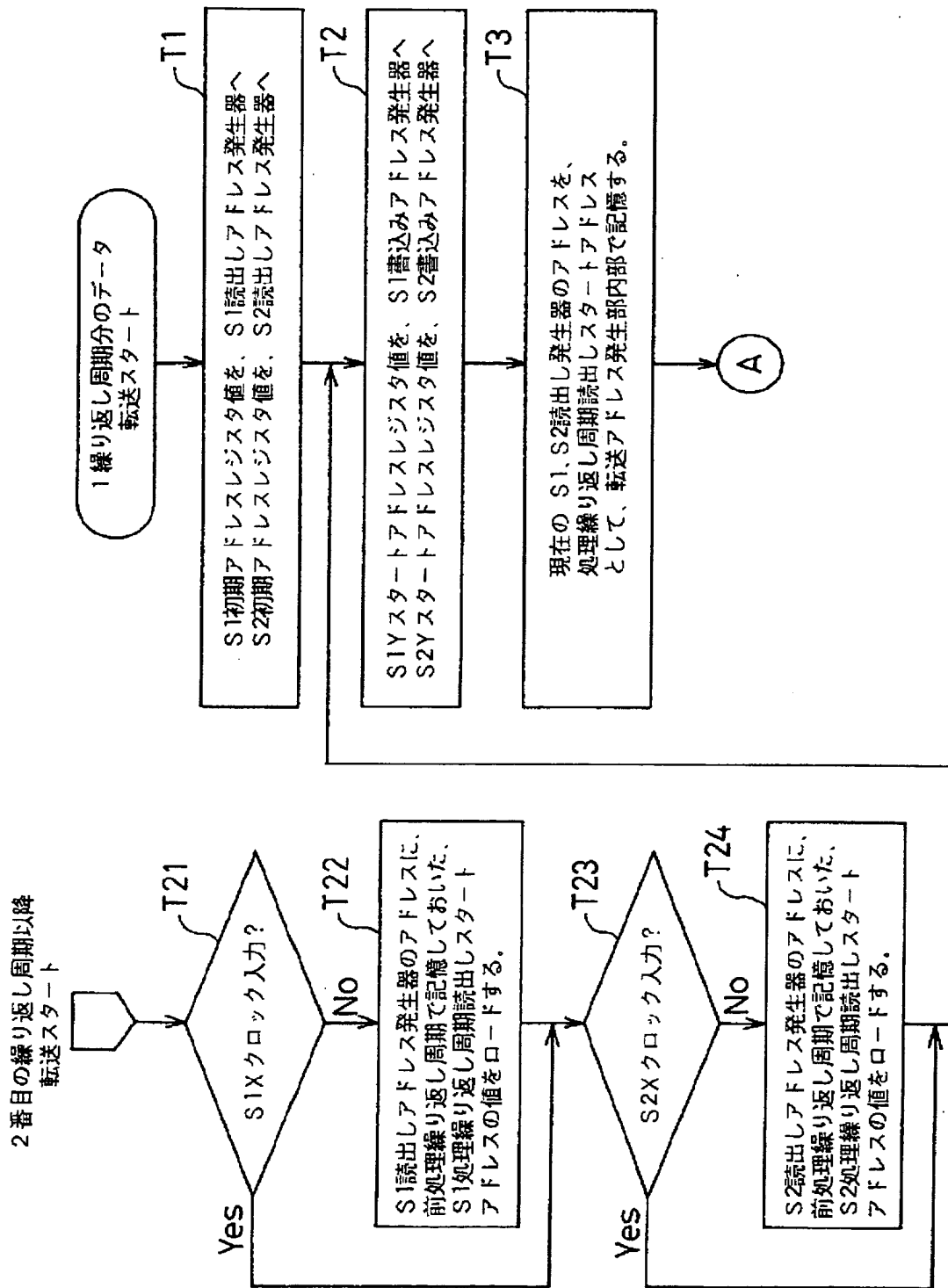




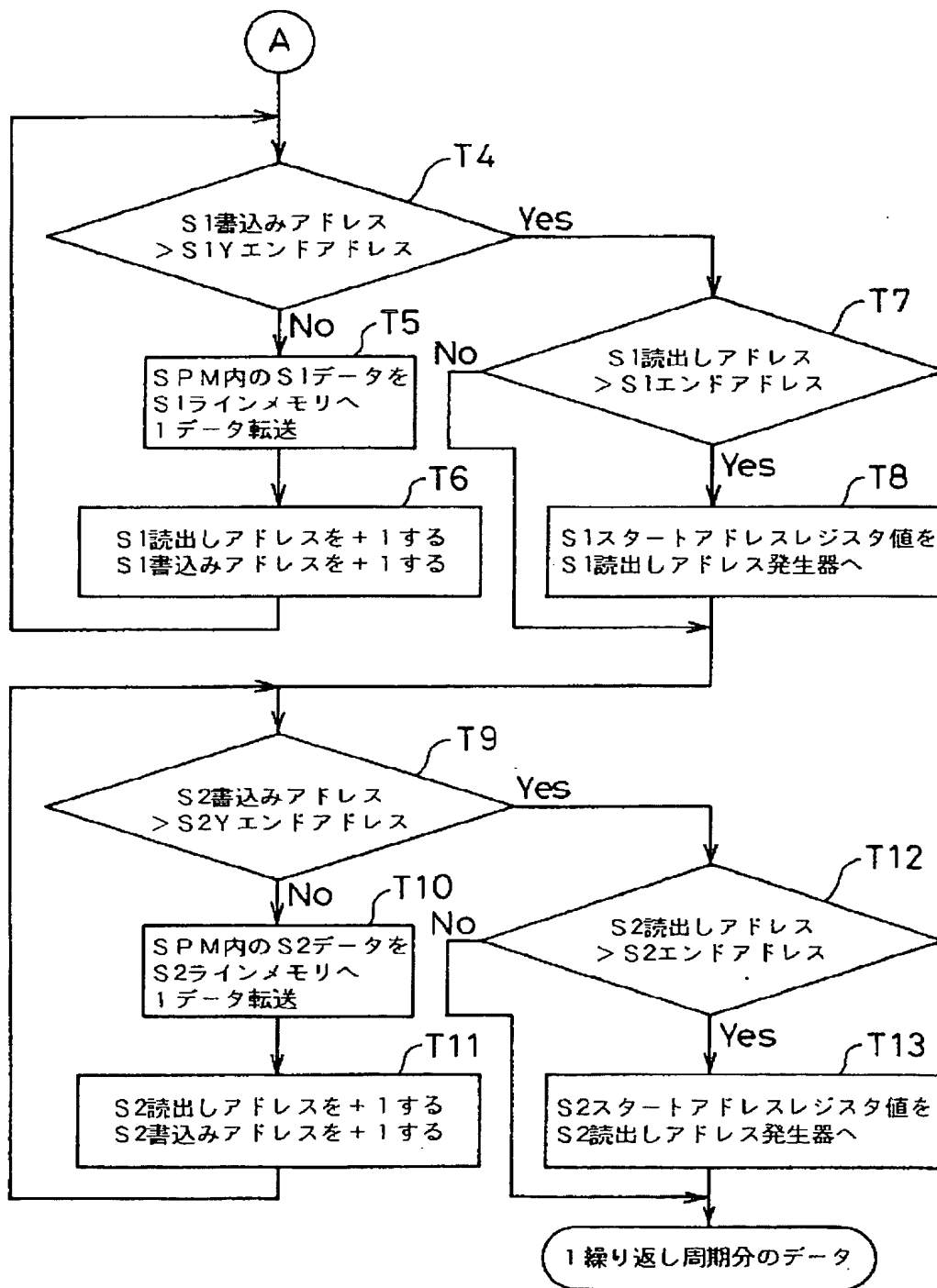
【図10】



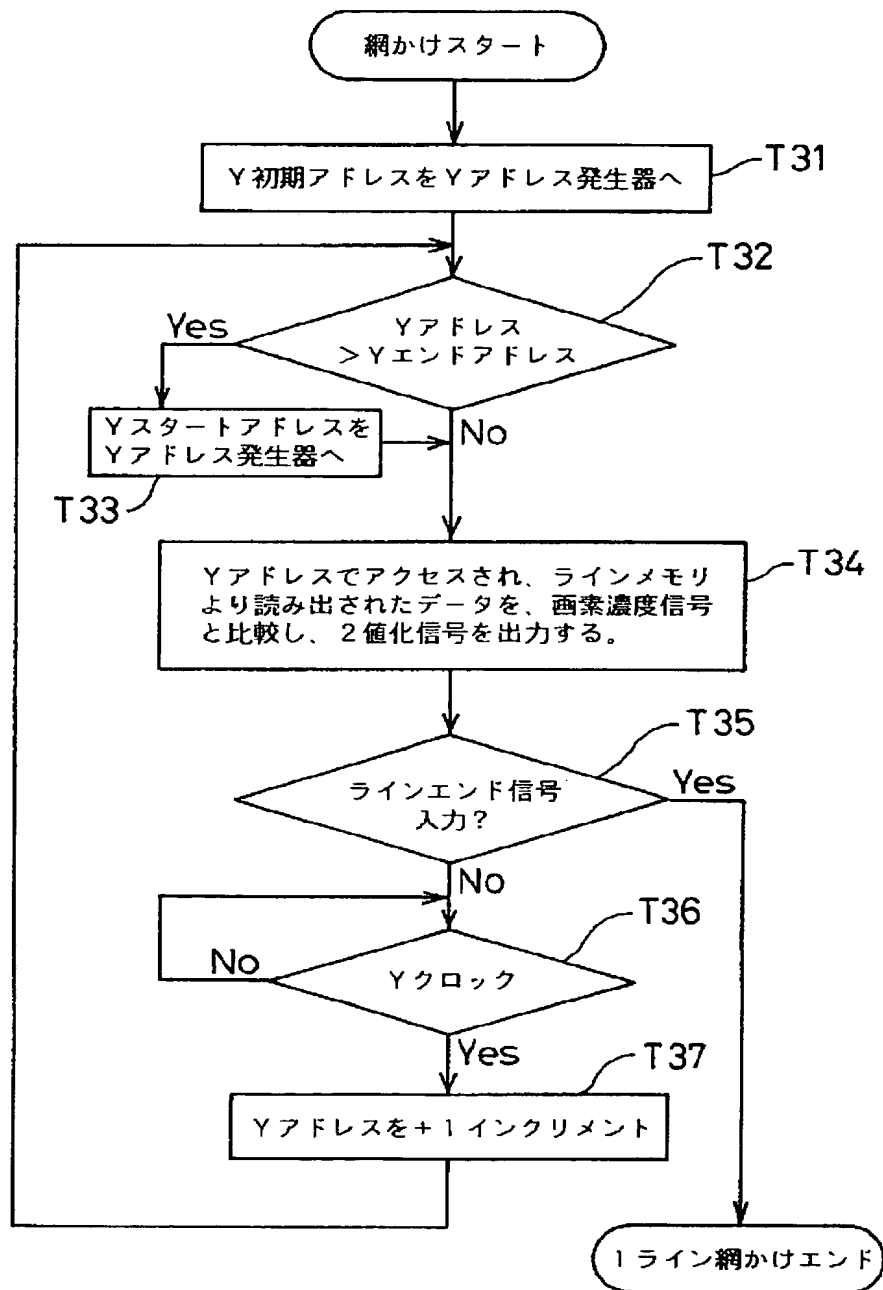
【図12】



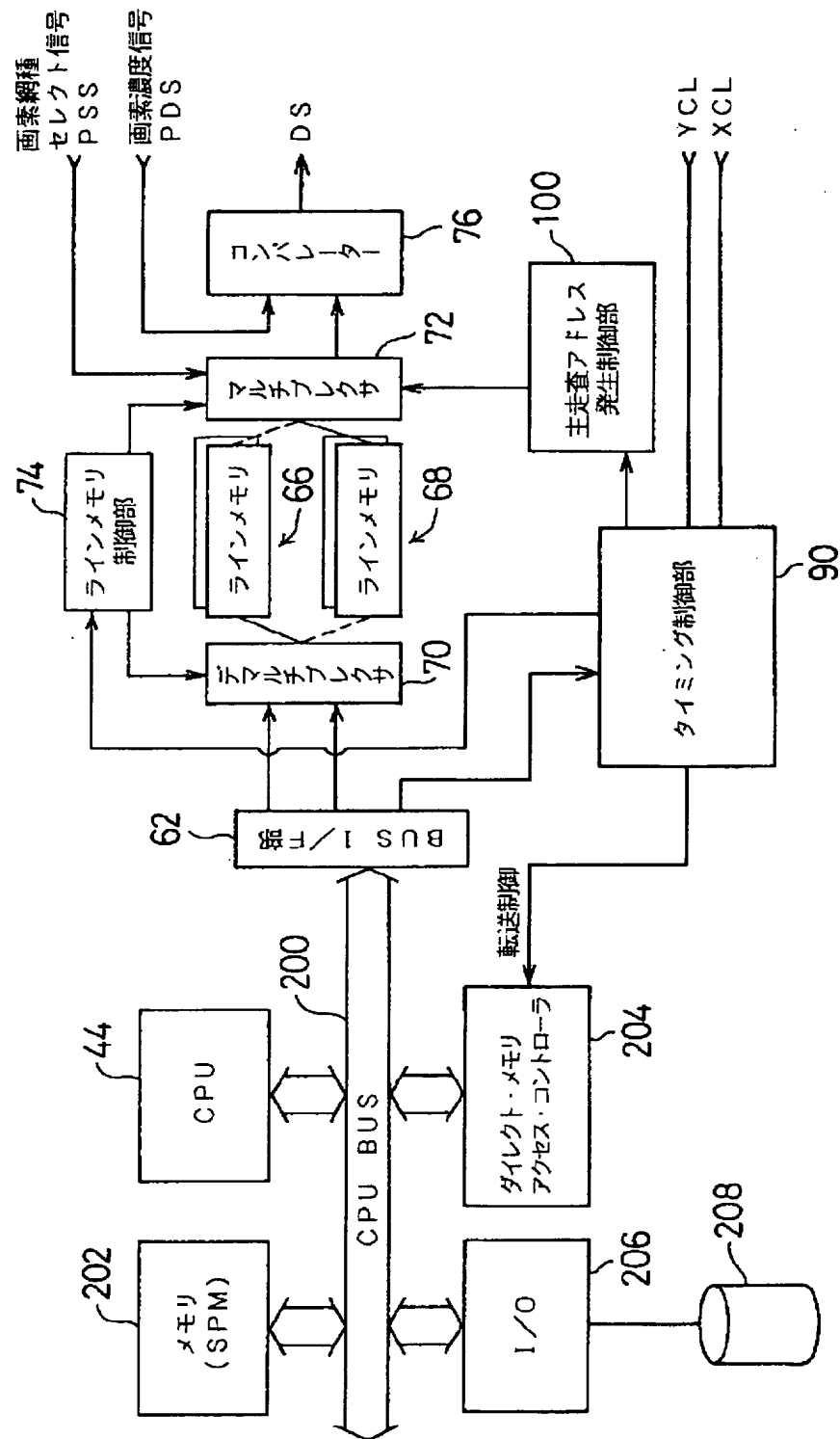
【図13】



【図14】



【図17】



フロントページの続き

(72)発明者 古澤 克彦

京都市上京区堀川通寺之内上る 4 丁目天神

北町 1 番地の 1 大日本スクリーン製造株

式会社内